

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
YAMAMOTO)
Application Number: To be Assigned)
Filed: Concurrently Herewith)
For: FABRICATION PROCESS OF A SEMICONDUCTOR)
INTEGRATED CIRCUIT DEVICE)
ATTORNEY DOCKET NO. HITA.0462)

**Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231**

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of December 20, 2002, the filing date of the corresponding Japanese patent application 2002-369422.

A certified copy of Japanese patent application 2002-369422, is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344

Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
November 21, 2003

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月20日
Date of Application:

出願番号 特願2002-369422
Application Number:

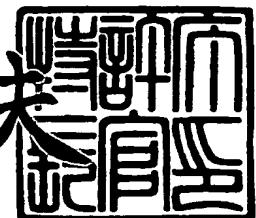
[ST. 10/C] : [JP2002-369422]

出願人 株式会社ルネサステクノロジ
Applicant(s):

2003年10月31日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願
【整理番号】 H02014321
【提出日】 平成14年12月20日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/28
【発明者】
【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
【氏名】 山本 直樹
【特許出願人】
【識別番号】 000005108
【氏名又は名称】 株式会社日立製作所
【代理人】
【識別番号】 100080001
【弁理士】
【氏名又は名称】 筒井 大和
【電話番号】 03-3366-0787
【手数料の表示】
【予納台帳番号】 006909
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 以下の工程を有することを特徴とする半導体装置の製造方法

；

(a) 半導体基板を準備する工程、

(b) 前記半導体基板の主面にゲート絶縁膜を形成する工程、

(c) 前記ゲート絶縁膜上に、少なくとも金属膜または金属化合物膜を含む導電膜を形成する工程、

(d) 前記導電膜をパターニングしてゲート電極を形成する工程、

(e) 前記ゲート電極の側壁を600℃以下の温度で窒化または炭化させる工程

、
(f) 前記半導体基板の主面を酸化させる工程。

【請求項 2】 請求項 1 に記載の半導体装置の製造方法において、

前記 (e) 工程では、前記ゲート電極の側壁を500℃以下の温度で窒化または炭化させることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 に記載の半導体装置の製造方法において、

前記 (e) 工程では、窒素を含むガスを用いたプラズマ処理を行い、前記ゲート電極の側壁を窒化させることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 に記載の半導体装置の製造方法において、

前記 (e) 工程では、窒素ガスまたはアンモニアガスを用いたプラズマ処理を行い、前記ゲート電極の側壁を窒化させることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 に記載の半導体装置の製造方法において、

前記 (e) 工程では、炭素を含むガスを用いたプラズマ処理を行い、前記ゲート電極の側壁を炭化させることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 に記載の半導体装置の製造方法において、

前記 (e) 工程では、炭素を含む雰囲気中で熱処理することにより、前記ゲート電極の側壁を炭化させることを特徴とする半導体装置の製造方法。

【請求項7】 請求項1に記載の半導体装置の製造方法において、前記(f)工程では、酸素を含むガスを用いたプラズマ処理により、前記半導体基板の正面を酸化させることを特徴とする半導体装置の製造方法。

【請求項8】 請求項7に記載の半導体装置の製造方法において、前記(f)工程では、酸素ガスまたはオゾンガスが用いられることを特徴とする半導体装置の製造方法。

【請求項9】 請求項1に記載の半導体装置の製造方法において、前記(f)工程では、600℃以下の温度で前記半導体基板の正面を酸化させることを特徴とする半導体装置の製造方法。

【請求項10】 請求項1に記載の半導体装置の製造方法において、前記(f)工程では、500℃以下の温度で前記半導体基板の正面を酸化させることを特徴とする半導体装置の製造方法。

【請求項11】 請求項1に記載の半導体装置の製造方法において、前記(f)工程では、前記(d)工程で生じた前記ゲート電極端部近傍の前記ゲート絶縁膜の損傷が修復されることを特徴とする半導体装置の製造方法。

【請求項12】 請求項1に記載の半導体装置の製造方法において、前記(d)工程の後で前記(e)工程の前に、(d1)シリコンを含むガスを用いたプラズマ処理により、前記ゲート電極の側壁にシリコンまたはシリコン化合物を付着させる工程、を有することを特徴とする半導体装置の製造方法。

【請求項13】 請求項12に記載の半導体装置の製造方法において、前記(d1)工程では、シリコンハロゲン化物ガスまたはシリコン水化物ガスを用いたプラズマ処理により、前記ゲート電極の側壁にシリコンまたはシリコン化合物を付着させることを特徴とする半導体装置の製造方法。

【請求項14】 請求項1に記載の半導体装置の製造方法において、前記ゲート電極は、多結晶シリコン膜、前記多結晶シリコン膜上の窒化金属膜および前記窒化金属膜上の金属膜からなる積層構造を有することを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 14 に記載の半導体装置の製造方法において、前記窒化金属膜はタングステン、モリブデン、タンタルまたはチタンの窒化物からなり、前記金属膜はタングステン、モリブデン、タンタルまたはチタンからなることを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 14 に記載の半導体装置の製造方法において、前記ゲート電極は、前記多結晶シリコン膜と前記窒化金属膜との間に珪化金属膜を更に有することを特徴とする半導体装置の製造方法。

【請求項 17】 請求項 16 に記載の半導体装置の製造方法において、前記珪化金属膜はタングステン、モリブデン、タンタル、チタン、ジルコニウムまたはハフニウムの珪化物からなることを特徴とする半導体装置の製造方法。

【請求項 18】 請求項 1 に記載の半導体装置の製造方法において、前記ゲート電極は、多結晶シリコン膜、前記多結晶シリコン膜上の炭化金属膜および前記窒化金属膜上の金属膜からなる積層構造を有することを特徴とする半導体装置の製造方法。

【請求項 19】 請求項 1 に記載の半導体装置の製造方法において、前記ゲート電極は、金属膜の単層構造を有することを特徴とする半導体装置の製造方法。

【請求項 20】 請求項 1 に記載の半導体装置の製造方法において、前記ゲート電極は、多結晶シリコン膜と、前記多結晶シリコン膜上の珪化金属膜とからなる積層構造を有することを特徴とする半導体装置の製造方法。

【請求項 21】 請求項 1 に記載の半導体装置の製造方法において、前記 (c) 工程の後で前記 (d) 工程の前に、
(c 1) 前記導電膜上に第 1 絶縁膜を形成する工程、
を有し、
前記 (d) 工程では、前記第 1 絶縁膜および前記導電膜がパターニングされ、
前記 (e) 工程では、前記ゲート電極上に前記第 1 絶縁膜が残存し、前記ゲート電極は側壁部だけが露出していることを特徴とする半導体装置の製造方法。

【請求項 22】 請求項 1 に記載の半導体装置の製造方法において、窒素酸化物ガスまたは炭素酸化物ガスを用いたプラズマ処理を行うことによつ

て、前記（e）工程と前記（f）工程とを同時に進行させることを特徴とする半導体装置の製造方法。

【請求項 23】 請求項 22 に記載の半導体装置の製造方法において、前記窒素酸化物ガスまたは前記炭素酸化物ガスは、還元性を有することを特徴とする半導体装置の製造方法。

【請求項 24】 請求項 1 に記載の半導体装置の製造方法において、前記（d）工程では、前記導電膜のパターニングによって除去される部分の下に位置する前記ゲート絶縁膜の少なくとも一部を残存させることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造技術に関し、特に、低抵抗で高温熱処理に耐え得るゲート電極を有する半導体装置の製造技術に適用して有効な技術に関する。

【0002】

【従来の技術】

半導体素子の高集積化が進むとともに、それを構成する電極および配線も微細化されている。これにともない配線幅も微細化されるため、電極、配線の抵抗が増大して信号遅延が顕著になり、高速で高性能な集積回路を設計するのが難しくなってきている。特に、従来のMOS（Metal-Oxide-Semiconductor：メタル-オキサイド-セミコンダクタ）型半導体装置のゲート電極、配線として広く用いられてきた多結晶シリコンは、約1ミリオームセンチメートル（ $1 \text{ m}\Omega \cdot \text{cm}$ ）と抵抗が比較的高いため、該電極、配線の低抵抗化技術が高速高集積回路を実現するための鍵となっている。これらのシリコン層の低抵抗化には、チタンやコバルトを蒸着し、これらの金属を半導体素子の中でシリコンが露出した電極配線部でのみ反応させて低抵抗の金属珪化物（シリサイド）を形成する技術、すなわち自己整合シリサイド化技術が広く検討され、実用化されている。しかしこれらのシリサイド、特にチタンシリサイドを用いた配線（電極）では、配線幅（電極幅）が $0.5 \mu\text{m}$ 程度以下に微細化されると、シリサイ

ド層の抵抗自体が配線幅（電極幅）が広い場合に得られていたほどに低くならないという問題がある。

【0003】

このため、従来用いられてきた多結晶シリコンゲート電極、配線と同等の安定したMOS（トランジスタ）電気特性を確保し、かつシリサイドよりさらに抵抗が低く、配線（電極）幅が0.5 μ m以下に微細化されても抵抗率の上昇を伴わないゲート電極、配線の検討が進められている。

【0004】

近年、該目的に適したゲート電極、配線として、多結晶シリコン膜とタンゲステン膜を重ねあわせ、かつこれらの金属膜とシリコン膜間にタンゲステンやチタンなどの窒化物からなるバリア層を設けた構造が各所で検討されている。この構造では、タンゲステンなどの金属層と下地のシリコン層がほとんど反応しないため、熱処理後も金属単層と同程度の低いシート抵抗を有するゲート電極・配線を実現できる。この低抵抗配線（電極）の効果により、高集積回路半導体装置の高速動作が期待できる。

【0005】

上記のように高融点金属層／バリア層／シリコン層の積層構造ではシリサイド反応が生じないため、上層の高融点金属層の低い抵抗率をそのまま利用した電極・配線を形成できる長所がある。この積層膜はドライエッチング法などでゲート電極・配線のパターンに加工される。この加工工程において電極・配線周辺のシリコン基板表面に存在したゲート酸化膜は損傷をうけ、その状態のまま半導体装置を作製するとゲート絶縁膜の絶縁耐圧やMOSトランジスタの長期信頼性が損なわれるなどの問題が生じる。この状況は従来の多結晶シリコン単層からなるゲート電極・配線においても同様である。このため、一般的には電極・配線形状に加工後、それらの周辺のシリコン酸化膜をいったん除去して再度清浄なシリコン酸化膜を形成するか、あるいは除去せずに酸化雰囲気で熱処理することにより欠陥部を修復する方法が用いられてきた。これらの処理は800°C程度以上の高温で行われる。しかしながら上に述べた積層構造のゲート電極では酸化雰囲気に曝すと簡単に酸化あるいは昇華するタンゲステンなどの金属層を有しているため上

に述べたシリコンの再酸化を行うことが難しい。そこで熱力学的な考察により、水素ガスに制御された微量の水分を添加した雰囲気で熱処理することによりこれらの金属を酸化（むしろ金属酸化物が存在しても還元される）することなく、シリコンのみを選択的に酸化することができる熱処理技術（選択酸化技術）が提供され、半導体装置の高信頼度化のために適用されてきた（特許文献1参照）。

【0006】

また、ウエハ表面に付着した有機物（フォトレジスト）を除去するために行なう薬液洗浄工程の前にゲート電極の側壁を窒化させて窒化タンゲステン側壁保護膜を形成することにより、タンゲステン膜を腐食させる溶液（硫酸過酸化水素水混合液）によるタンゲステン膜の腐食を防止する技術が特許文献2に記載されている（特許文献2参照）。

【0007】

また、ゲートラインのパターニング工程の後、NH₃ガス雰囲気中で800～1150℃でアニーリングすることにより、パターニングされたゲートラインの側面の露出部分を窒化してタンゲステン窒化物層を形成し、タンゲステン膜の異常酸化を防止する技術が特許文献3に記載されている（特許文献3参照）。

【0008】

また、ゲート電極のパターニング後、ゲート電極のタンゲステン膜の表面を窒化して、ゲート電極の側壁にシリコン窒化膜でサイドウォールを形成する際のホイスカ（ウィスカ）の発生を防止する技術が特許文献4に記載されている（特許文献4参照）。

【0009】

【特許文献1】

米国特許第6197702号明細書

【0010】

【特許文献2】

特開2000-223439号公報

【0011】

【特許文献3】

特開 2000-243753号公報

【0012】

【特許文献4】

特開 2002-93743号公報

【0013】

【発明が解決しようとする課題】

上に述べたシリコンの選択酸化技術（水素ガスに制御された微量の水分を添加した雰囲気での熱処理）により、MOSトランジスタなどのゲート絶縁膜関連の信頼性は飛躍的に改善された。しかしながら、本発明者の検討によれば、この熱処理に関連した新たな問題が顕在化した。すなわち、この熱処理（選択酸化）は700℃あるいはそれ以上の温度で行われるが、積層構造の界面においてタンゲステンなどの金属が酸化されてしまう。特に、ゲート電極・配線が0.2ミクロンメーター（0.2 μ m）程度以下に微細化されると、ゲート電極側壁部から多結晶シリコンとバリア層界面あるいはバリア層およびその上の金属層界面を酸化種（酸素や水分）が拡散し、多結晶シリコン層とその上層のバリア層あるいは金属層間の接触抵抗が桁のレベルで上昇し、この高接触抵抗に起因して半導体装置を高速で動作させることが困難になるという問題がある。またゲート電極・配線の加工工程およびその後の洗浄工程でこれらの側壁部に露出した金属層表面にそれらの酸化物が形成される。この状態で上記の選択酸化を行うと、その熱処理過程で側壁の酸化物が昇華し、露出させた電極・配線周辺のシリコン基板あるいは損傷のあるシリコン酸化物に付着して基板内に金属汚染が侵入し、メモリなどの半導体装置の電荷保持特性の劣化やソース、ドレインなどの接合層でのリーク電流の増大、さらにゲート絶縁膜の絶縁耐圧劣化などの問題を生じる。

【0014】

また、上記ゲート電極の窒化の技術は、薬液による腐食防止、タンゲステン膜の異常酸化防止あるいはサイドウォール形成時のホイスカ発生防止のために行われており、シリコンの選択酸化技術の上記問題を解決するものではない。

【0015】

従って、ドライエッチングなどの工程で生じたゲート電極・配線周辺のシリコ

ン酸化膜の損傷や欠陥を修復するとともに、積層構造ゲート電極における層間接触抵抗の増大を回避し、かつ電極・配線の金属層側壁に起因したシリコン基板への汚染を低減することにより、高速動作が可能かつ信頼性の高い半導体装置を実現することが望まれる。

【0016】

本発明の目的は、信頼性の高い半導体装置の製造方法を提供することにある。

【0017】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0018】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0019】

金属膜または金属化合物膜を含むゲート電極のパターニング後に、ゲート電極側壁を低温で窒化または炭化させて金属膜側壁に保護膜を形成した後に、低温でライト酸化を行うものである。

【0020】

【発明の実施の形態】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0021】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0022】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0023】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0024】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、本実施の形態で用いる図面においては、平面図などであっても図面を見易くするためにハッチングを付す場合もある。また、断面図であっても、ハッチングを省略する場合もある。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0025】

(実施の形態 1)

本実施の形態の半導体装置の製造工程を図面を参照して説明する。図1～図3は、本発明の一実施の形態である半導体装置、例えばDRAM (Dynamic Random Access Memory) またはメモリ・ロジック混載型半導体装置の製造工程中の要部断面図である。なお、図4は、図3の部分拡大断面図に対応し、図6は図5の部分拡大断面図に対応する。

【0026】

図1に示すように、例えば1～10Ωcm程度の比抵抗を有するp型の単結晶シリコンなどからなる半導体基板（半導体ウエハ）1の主面に素子分離領域2が形成される。素子分離領域2は酸化シリコンなどからなり、例えばSTI (Shallow Trench Isolation) 法またはLOCOS (Local Oxidization of Silicon) 法などにより形成される。

【0027】

次に、半導体基板1のメモリセルを形成する領域（メモリ部、メモリアレイ）と周辺回路の一部（nチャネル型MISFET（Metal Insulator Semiconductor Field Effect Transistor））を形成する領域にp型ウエル3を形成し、周辺回路の他の一部（pチャネル型MISFET）を形成する領域にn型ウエル4を形成する。p型ウエル3は、例えばホウ素（B：ボロン）などの不純物をイオン注入することなどによって形成され、n型ウエル4は、例えばリン（P）などの不純物をイオン注入することなどによって形成される。

【0028】

次に、p型ウエル3およびn型ウエル4の表面（半導体基板1の主面）にゲート絶縁膜5が形成される。ゲート絶縁膜5は、例えば薄い酸化シリコン膜などからなり、例えば熱酸化法などによって形成することができる。ゲート絶縁膜5の膜厚は、例えば4nm程度である。

【0029】

次に、図2に示されるように、半導体基板1の全面上に（すなわちゲート絶縁膜5上）、例えばCVD（化学的気相成長：Chemical Vapor Deposition）法などを用いて、例えば50nm程度の厚みの多結晶シリコン膜6を形成する。それから、イオン注入（イオン打ち込み）法などを用いて、多結晶シリコン膜6のうち、p型ウエル3上の多結晶シリコン膜6にリン（リンイオン）などを導入（ドープ）し、n型ウエル4上の多結晶シリコン膜6にホウ素（ボロンイオン）などを導入（ドープ）する。リンおよびホウ素のイオン注入は、それぞれ例えば $2 \times 10^{15} / \text{cm}^2$ (2×10^{15} イオン/ cm^2) 程度のドーズ量で行なわれる。その後、窒素雰囲気中などで例えば850°C、10秒程度の熱処理を行う。多結晶シリコン膜6の代わりとして、非晶質シリコン膜または単結晶シリコン膜を用いることもできる。また、非晶質シリコン膜を堆積した後に、熱処理などにより非晶質シリコン膜を多結晶シリコン膜6に変化させることもできる。

【0030】

次に、フッ酸とフッ化アンモニウムの混合液で、多結晶シリコン膜6の表面上の自然酸化膜を除去（洗浄して除去）する。それから、多結晶シリコン膜6の表

面に再形成される自然酸化膜をできるだけ少なく（抑制）するため、洗浄後例えば3分以内に、金属膜形成用のマルチチャンバスパッタ装置の真空チャンバ内に半導体基板1を装填する。

【0031】

次に、半導体基板1をタングステンスパッタ用のチャンバに移動させて例えば500°C程度に加熱した後、タングステンターゲットをアルゴンと窒素の混合ガス中でスパッタすることにより、窒化タングステン膜（タングステン窒化物膜）7を半導体基板1（多結晶シリコン膜6）上に堆積（被着）させる。形成される窒化タングステン膜7の厚みは例えば8nm程度である。窒化タングステン膜7は、スパッタパワーを例えば1kWとし、スパッタ用チャンバへのアルゴンガス流量（流入量）を例えば40cc／分とし、窒素ガス流量を例えば60cc／分とした条件などで成膜することができる。

【0032】

次に、スパッタ放電を継続しながらアルゴンガス流量（流入量）を100cc／分に変更すると同時に窒素ガスの供給を遮断（中止）して、半導体基板1上に金属タングステンが被着（堆積）するようとする。この状態での放電時間を制御することにより、例えば50nm程度の厚みを有するタングステン膜（金属層）8が窒化タングステン膜（バリア層）7上に形成される。

【0033】

次に、例えばプラズマCVD装置などを用いて、半導体基板1を例えば420°Cに保った状態で窒化シリコン膜9を半導体基板1（タングステン膜8）上に堆積させる。形成される窒化シリコン膜9の厚みは、例えば160nm程度である。窒化シリコン膜9の他の材料として、酸化シリコン膜または炭化シリコン膜などを用いることもできる。

【0034】

次に、図3に示されるように、フォトリソグラフィ技術およびドライエッチング技術を用いて、窒化シリコン膜9を選択的に除去して所定の形状にパターンニング（加工、パターン化）する。それから、フォトレジストパターンまたはこのパターンニングされた窒化シリコン膜9を加工マスク（エッチングマスク）として

用い、タングステン膜8、窒化タングステン膜7および多結晶シリコン膜6の積層構造を反応性ガスプラズマ（プラズマエッティング）などを用いて選択的に除去してパターニング（加工、パターン化、ドライエッティング）し、ゲート電極（ゲート配線）10a, 10b, 10cを形成する。ゲート電極10aは、DRAMのメモリアレイのワード線WLとして機能することができる。

【0035】

図3および図4に示されるように、形成されたゲート電極（ゲート配線）10a, 10b, 10cは、下から多結晶シリコン膜6、窒化タングステン膜7およびタングステン膜8の積層構造を有している。タングステン膜8はゲート電極を低抵抗化するように機能する。また、例えばゲート電極10aのシート抵抗が低減できるので、ワード線遅延などを低減することができる。タングステン膜8のかわりの材料としては高融点金属を用いることができ、例えばチタン（Ti）、タンタル（Ta）またはモリブデン（Mo）などを用いることもできる。窒化タングステン膜7はバリア層として機能し、例えば、タングステン膜（金属層）8と多結晶シリコン膜6との反応防止、接着性の向上、または不純物の拡散防止などの機能を有する。窒化タングステン膜7の材料としては高融点金属窒化物を用いることができ、ここで例示した窒化タングステン（WN_x）だけでなく、例えば窒化モリブデン（MoN_x）、窒化タンタル（TaN_x）あるいは窒化チタン（TiN_x）（すなわちタングステン、モリブデン、タンタルまたはチタンの窒化物）などを用いることができる。窒化タングステン膜7の更に他の材料としては高融点金属炭化物を用いることもでき、例えば炭化タングステン（WC_x）、炭化モリブデン（MoC_x）、炭化タンタル（TaC_x）あるいは炭化チタン（TiC_x）（すなわちタングステン、モリブデン、タンタルまたはチタンの炭化物）などを用いることもできる。

【0036】

通常、ドライエッティング工程後の洗浄としてアンモニアと過酸化水素の水溶液で洗浄した後にフッ酸希釀水溶液でエッティング洗浄する。しかしながら、過酸化水素を用いるとタングステン膜8がエッティングされる恐れがある。また、フッ酸水溶液を用いるとゲート電極10a, 10b, 10cの周辺の半導体基板1上の

酸化シリコン膜が（膜厚が薄いので）エッチング除去されてしまう恐れがある。このため、いずれのエッチング作用をともなう洗浄も施すのが難しいため、本実施の形態では、水洗を例えれば20分程度行なう。これにより、タンゲステン膜8や酸化シリコン膜のエッチングを防止できる。

【0037】

ゲート電極10a, 10b, 10cの加工（ドライエッチング）により、ゲート電極10a, 10b, 10cの周辺の半導体基板表面部分に存在する酸化シリコン膜11（ゲート電極下部以外のゲート絶縁膜5の残存部分）には、損傷や欠陥が生じている。また、ゲート電極10a, 10b, 10cの側壁下部において、ゲート絶縁膜5がエッチングされてアンダーカットが生じてしまう恐れもある。これは、ゲート絶縁膜5の耐圧が低下するなどの不具合を生じさせる。このため、削れたゲート絶縁膜5を再生するため、再酸化（ライト酸化）処理を行う必要がある。これにより、ゲート電極10a, 10b, 10cの加工（ドライエッチング）により生じたゲート電極10a, 10b, 10cの周辺の半導体基板表面部分に存在する酸化シリコン膜11の損傷や欠陥を修復し、あるいは清浄な酸化シリコン膜を再形成することができ、ゲート絶縁膜の耐圧を向上することができる。

【0038】

本実施の形態では、そのようなライト酸化処理を行なう前に、ゲート電極10a, 10b, 10cの側壁を窒化する処理（窒化処理）を行う。すなわち、窒素を含むガスを用いたプラズマ処理（例えばアンモニアプラズマ処理または窒素プラズマ処理）を行なって、ゲート電極10a, 10b, 10cの側壁を窒化させる。例えば、プラズマ化学蒸着装置（プラズマCVD装置）に半導体基板1を装填し、アンモニアガスを導入してアンモニアプラズマを発生させてゲート電極10a, 10b, 10cの側壁部を窒化させることができる。窒素を含むガスを用いたプラズマ（例えばアンモニアプラズマまたは窒素プラズマ）に半導体基板1をさらすことで、ゲート電極10a, 10b, 10cの側壁が窒化されて、図5および図6に示されるように、窒化物膜（窒化膜）12が形成される。ゲート電極10a, 10b, 10cの側壁の窒化処理は、600°C以下の温度（半導体基

板温度)で行なうことが好ましく、500℃以下の温度(半導体基板温度)で行なえばより好ましい。また、ゲート電極10a, 10b, 10c上には窒化シリコン膜9が存在するので、ゲート電極10a, 10b, 10cの上面すなわちタンゲステン膜8の上面が窒化されることはない。これにより、ゲート電極の抵抗増大を抑制することができる。

【0039】

また、後述するように、ゲート電極10a, 10b, 10cの側壁の窒化処理の代わりに、ゲート電極10a, 10b, 10cの側壁の炭化処理を行なうこともできる。このとき、ゲート電極10a, 10b, 10cの側壁には窒化物膜12の代わりに炭化物膜が形成される。

【0040】

ゲート電極10a, 10b, 10cの側壁に形成された窒化物膜12は、多結晶シリコン膜6の側面では窒化シリコンからなり、タンゲステン膜8の側面では窒化タンゲステンからなる。窒化タンゲステン膜7はそれ自体が窒化物からなるので、アンモニアプラズマなどに曝されてもほとんど変化しない。従って、窒化物膜12は、実質的には多結晶シリコン膜6およびタンゲステン膜8の側面(露出部)で形成されることになる。また、窒化物膜12の膜厚は、実際には多結晶シリコン膜6の側面とタンゲステン膜8の側面とで異なり得る。しかしながら、理解を簡単にするために、図5およびそれ以降の図では、窒化物膜(窒化膜)12がゲート電極の側壁全面(多結晶シリコン膜6、窒化タンゲステン膜7およびタンゲステン膜8の側面)に同じ厚みで形成されたものとして図示している。

【0041】

本発明者の実験によれば、窒化処理(窒化物膜12の形成)の際の半導体基板1の温度が高すぎると、ゲート電極10a, 10b, 10cのタンゲステン膜8の側面からホイスカ(Whisker、ウィスカ、ひげ結晶)が成長する。走査型電子顕微鏡などによる観察によれば、半導体基板1の温度を例えば700℃(またはそれ以上)にして窒化処理を行った場合、成長したホイスカの断面形状は例えば正方形であり、長さは例えば0.1~0.3μm程度であり、そのようなホイスカが多数成長していた。窒化処理時の半導体基板1の温度が高いほど、ホイスカ

がより成長しやすくなる傾向にある。より詳細に観察すると、半導体基板1の温度を例えば600℃程度にしたときに、すでに極微小の粒成長が観察された。ホイスカが成長すると、製造される半導体装置の信頼性が低下する。例えば、ホイスカにより隣接するゲート電極がショートするなどのショート不良が発生する恐れがある。また、ホイスカが半導体装置の製造工程中の汚染物の原因となる恐れがある。このため、ホイスカの発生（成長）を防止する必要がある。

【004.2】

このため、本実施の形態では、アンモニアプラズマなどによりゲート電極10a, 10b, 10cの側壁を窒化させて窒化物膜12を形成する際には、上記のように半導体基板1の温度を600℃以下にすることが好ましい。これにより、ホイスカの成長を抑制または防止することができ、半導体装置の信頼性を向上できる。また、アンモニアプラズマなどによりゲート電極10a, 10b, 10cの側壁を窒化させて窒化物膜12を形成する際に、半導体基板1の温度を500℃以下にすれば、より好ましい。これにより、ホイスカの成長をより確実に抑制でき、製造工程のプロセスマージンも確保できる。また、500℃以下で窒化処理を行えば、ゲート電極10a, 10b, 10cの側壁の表面だけを窒化でき、薄い窒化物膜12を制御性よく形成することができる。例えば、500℃以下で窒化処理を行った試料について、透過電子顕微鏡観察を行った結果、タンゲステン膜8の側壁（側面）の窒化膜（窒化物膜12）の膜厚は、例えば1nm～3nm程度であった。

【004.3】

また、本実施の形態のように窒素を含むガスを用いたプラズマによってゲート電極10a, 10b, 10cの側壁を窒化すれば、窒素雰囲気中でのアニールによりゲート電極10の側壁を窒化する場合に比較して、より低温で窒化物膜12を形成することが可能となる。このため、半導体装置の信頼性を向上できる。また、アンモニアプラズマまたは窒素プラズマによってゲート電極10a, 10b, 10cの側壁を窒化すれば、ゲート電極10の側壁を的確に窒化できるのでより好ましい。

【004.4】

また、窒化物膜12の膜厚は、2～15nmであればより好ましい。これにより、ライト酸化の際に生じる前記界面（例えば多結晶シリコン膜6と窒化タングステン膜7との界面または窒化タングステン膜7とタングステン膜8との界面）での酸化を防止するとともに、過酸化水素を含む洗浄液を用いた場合に生じるタングステンのエッチングを抑止できる。さらに酸化性洗浄液を用いた場合に生じる電極（ゲート電極）側壁でのタングステン酸化物の生成の抑止、そして大気放置中に成長する側壁（ゲート電極側壁）での自然金属酸化物の成長を抑制できる。そしてこれらの酸化物生成の抑制は選択酸化（ライト酸化）工程におけるタングステン酸化物の昇華に対する抑制効果を得ることができる。この効果によりメモリやメモリ混載デバイスにおける電荷保持特性の向上を図ることができる。

【0045】

ゲート絶縁膜10a, 10b, 10cの側壁の窒化処理を行った後、上記のように、ゲート電極10a, 10b, 10cの加工（ドライエッチング）により生じたゲート電極10a, 10b, 10cの周辺の半導体基板表面部分に存在する酸化シリコン膜11の損傷や欠陥を修復し、あるいは清浄な酸化シリコン膜を再形成するために、酸化または再酸化（ライト酸化）処理（半導体基板1の正面の酸化処理）を行なう。本実施の形態では、半導体基板1に対して酸素を含むガス（例えば酸素ガスまたはオゾンガス）を用いたプラズマによりライト酸化処理（半導体基板1の正面の酸化処理）を行なう。このライト酸化処理（酸化処理）は、600℃以下の温度（半導体基板温度）で行なうことが好ましく、500℃以下の温度（半導体基板温度）で行なえばより好ましい。また、プラズマ処理後のゲート電極10a, 10b, 10cの周辺の半導体基板領域上の酸化シリコン膜の厚みは、例えば3.5nm程度であり、プラズマ処理におけるプラズマ放電パワー、導入ガス流量および放電時間などを調節して制御することができる。

【0046】

本発明者の実験によれば、ライト酸化処理（半導体基板1の正面の酸化処理）の際の半導体基板1の温度が高すぎると、ゲート電極10a, 10b, 10cの側壁表面の窒化物膜12が破壊され、花状の異物（ポーラスな異物）が成長することが分かった。これは、ゲート電極10a, 10b, 10cの側壁表面（窒化

物膜12)が激しく酸化するためと考えられる。このような現象は、ライト酸化処理の際の半導体基板1の温度が例えば600°C程度よりも高くなると発生しやすくなることが分かった。このような現象が生じると、ショート不良などが生じる恐れがある。また、汚染物の原因となる恐れもある。このため、そのような現象は防止する必要がある。

【0047】

従って、本実施の形態では、窒化物膜12形成後に酸素プラズマなどによるライト酸化処理(酸化処理)を行なう際には、上記のように半導体基板1の温度を600°C以下にすることが好ましく、半導体基板1の温度を500°C以下にすることがより好ましい。これにより、窒化物膜12の破壊(酸化)による不具合(花状の異物の発生)を抑制または防止することができる。また、ゲート電極10a, 10b, 10cの側面からの酸化をより確実に防止することができる。

【0048】

また、窒化物膜12を形成することなく酸素プラズマなどによるライト酸化処理(酸化処理)を行なった場合は、この酸化(ライト酸化)プロセスでゲート電極10a, 10b, 10cの側壁から昇華したタンゲステンによる汚染のため、半導体装置の性能や信頼性が低下する。本発明者の実験によれば、例えば、本実施の形態に従ってDRAMを製造し、そのメモリ電荷保持特性を評価したところ、例えば約250ミリ秒程度であった(汚染は問題とならないレベルである)が、窒化物膜12を形成しなかった比較例の場合は、酸化(ライト酸化)プロセスでゲート電極10a, 10b, 10cの側壁から昇華したタンゲステンによる半導体基板領域の汚染のため、電荷保持特性が60ミリ秒から150ミリ秒程度と短かった。従って、本実施の形態のように、ゲート電極10a, 10b, 10cの側壁を窒化して窒化物膜12を形成することで、その後の酸化(ライト酸化)プロセスでのゲート電極10a, 10b, 10cの側壁からのタンゲステンなどの昇華を抑制または防止でき、半導体装置の性能や信頼性を向上することができる。

【0049】

また、ゲート電極の側壁を窒化(または炭化)させた後に行なうライト酸化処

理においては、オゾンガスを導入した処理室で放電（プラズマ放電）させて発生させたイオン生成物（プラズマ）を半導体基板1表面（およびゲート電極10a, 10b, 10c）に照射して酸化（ライト酸化）させることもできる。オゾンガスを用いる（オゾンガスを用いたプラズマ処理を行う）ことにより、酸化速度が速くなるので、低温でライト酸化処理を行うことがより容易となる。

【0050】

また、本発明者の実験によれば、ゲート電極の加工（ドライエッチング）後のゲート電極周辺部の修復のための上記のようなライト酸化処理（酸化処理）を行なわなかった場合は、MISFETのゲート絶縁耐圧が7MV/cm以下となる半導体装置が発生する頻度が高かったが、本実施の形態のようにライト酸化処理（酸化処理）処理を行ってゲート電極10a, 10b, 10cの周辺の半導体基板領域を酸化した場合は、MISFETのゲート絶縁耐圧が向上し、不良の半導体装置はほとんど発生しなかった。このため、本実施の形態のようなライト酸化処理（酸化処理）を行なうことで、半導体装置の信頼性を向上できる。

【0051】

また、タンクステンなどの金属の酸化は500°C程度以上の高温における熱処理で急速に進行する。また金属層の表面に存在したタンクステンなどの金属の酸化物（酸化タンクステンなど）の昇華も同程度の温度域から顕在化する。従って、これらの温度以下において、水素ガスに制御された微量の水分を添加した雰囲気中でシリコンの選択酸化を行うことも考えられる。しかしながら、そのような選択酸化を500°C程度以下の低温度で行うのは難しい。これは、これらの温度でのシリコンの選択酸化を可能にする添加水分量が数100ppm以下と微量になるため、添加量の制御が困難になるうえにシリコンの酸化速度が半導体装置を製造するうえでの実用レベルに達しないくらい極端に遅くなるためである。

【0052】

このため、本実施の形態では、数100°Cの低温でシリコンの酸化を可能にする酸素プラズマなどの活性化した雰囲気で、ゲート電極加工後の酸化（ライト酸化）処理を行う。これにより、比較的低温でライト酸化処理（酸化処理）を行なうことが可能となる。ゲート電極加工後のライト酸化処理（酸化処理）で形成さ

れる酸化シリコン膜厚は例えば2 nm (ナノメーター) ないし4 nm (ナノメーター) 程度でよい。この酸化 (ライト酸化) 過程で金属層表面に存在する金属酸化物の昇華を極力抑制するには、半導体基板1の温度を好ましくは600°C以下、より好ましくは500°C程度以下の温度に制限する。この酸化 (ライト酸化) 過程で、ゲート電極の側壁に露出した金属層あるいはバリア層が存在すると、ゲート電極の周辺の半導体基板領域のシリコンと同様に酸化され得る。これらの層 (金属層あるいはバリア層) はシリコンより酸化されやすい場合があるが、本実施の形態ではゲート電極の金属層および (または) バリア層の側壁表面を窒化 (または炭化) することにより、ゲート電極の金属層やバリア層の酸化を抑制または防止することができる。ゲート電極の金属層および (または) バリア層の側壁の窒化 (または炭化) は、半導体基板 (シリコン基板) 領域よりも早く進むため、ゲート電極10a, 10b, 10c側壁上の窒化物膜12 (または炭化物膜) は半導体基板1上に形成されるシリコン窒化物膜 (またはシリコン炭化物膜) よりも厚くなる。この化合物の厚さの差を利用して半導体基板 (シリコン基板) 1上のゲート電極10a, 10b, 10c端部近傍のシリコンを酸化させている間に進行するゲート電極10a, 10b, 10cの金属層またはバリア層の酸化を抑止し、この酸化工程またはその後の熱工程 (加熱工程、熱処理工程) などの金属酸化物の昇華を抑制して半導体装置の信頼性の劣化を抑制または防止することができる。上記のように、この酸化工程を600°C以下、より好ましくは500°C以下の低温で行うことにより、金属酸化物の昇華をより的確に抑制できる。

【0053】

また、ドライエッチングにより所望のゲート電極10a, 10b, 10cのパターン形状を形成 (パターニング) するに際し、ゲート電極形成用の積層構造 (多結晶シリコン膜6、窒化タンゲステン膜7およびタンゲステン膜8) のエッチングにより除去された部分の下に存在したゲート絶縁膜5の全部あるいはその一部の厚さが残存するようにドライエッチングを制御することがより好ましい。これにより、ゲート電極10a, 10b, 10c形成のためのドライエッチング工程の終了後に、ゲート電極10a, 10b, 10c周辺の半導体基板領域上に酸化シリコン膜11が残存する。例えば、ゲート電極形成用の積層構造 (多結晶シリ

リコン膜6、窒化タンゲステン膜7およびタンゲステン膜8)のエッチング終端をモニタし、ゲート電極10a, 10b, 10cの加工(エッチング)終端で遅滞なくエッチングのための放電を停止して、ゲート電極10a, 10b, 10cの下部以外の領域のゲート絶縁膜5が完全には除去されないようにする。この残存した酸化シリコン膜11は、ゲート電極10a, 10b, 10cの側壁を窒化する際に、半導体基板1のシリコン領域が窒化されるのを抑制する効果がある。

【0054】

また、ゲート電極の側壁を窒素を含むガスを用いたプラズマ処理により窒化させる代わりに、ゲート電極の側壁に窒化シリコン膜を堆積させることも考えられるが、この場合、ライト酸化工程でのゲート電極の側壁からのタンゲステンなどの昇華を防止するためには、比較的厚く窒化シリコン膜を堆積させる必要がある。これは、微細化に不利に働いてしまう。本実施の形態では、窒素を含むガスを用いたプラズマ処理によりゲート電極の側壁を窒化させ、ゲート電極の側壁部自身が窒化物となるので、微細化に有利である。また、ゲート電極の側壁部自身が窒化物となるので、ライト酸化工程において、多層構造のゲート電極を構成する各層の界面からの酸化の進行を抑制でき、タンゲステンなどの昇華を防止することができる。

【0055】

また、本実施の形態では、ゲート電極の加工後、ライト酸化処理を行う前に、窒素を含むガスを用いたプラズマ処理(例えば窒素プラズマ処理またはアンモニアプラズマ処理)を行なってゲート電極10a, 10b, 10cの側壁を窒化させたが、他の形態として、ゲート電極の加工後、ライト酸化処理を行う前に、炭素を含むガスを用いたプラズマ処理(例えばメタンガスを用いたプラズマ処理)を行なってゲート電極10a, 10b, 10cの側壁を炭化させることもできる。ゲート電極10a, 10b, 10cの側壁の炭化処理は、例えばメタンガスや一酸化炭素(CO)ガスなどの炭素を含んだガスを用いたプラズマ処理により行なうことができる。この炭化のためのプラズマ処理の際にも、窒化のためのプラズマ処理と同様に、半導体基板の温度を好ましくは600℃以下、より好ましくは500℃以下の状態で行なう。これはタンゲステンなどの高融点金属は炭化さ

れやすく、これらの温度より高温で炭化処理を行うと、金属層（例えばタンゲステン膜8）全体が金属炭化物に変質してしまう問題を避ける効果がある。また、プラズマ処理以外にも、例えば炭素を含む雰囲気中での熱処理や、あるいは、同じ炉内（真空炉内）に炭素片と半導体基板1を配置して熱処理し、炭素片から炭素を昇華させて半導体基板1上のゲート電極10a, 10b, 10cの側壁を炭化させることもできる。このような炭化処理を行うことで、ゲート電極10a, 10b, 10cの側壁には窒化物膜12の代わりに炭化物膜が形成される。この炭化物膜は、多結晶シリコン膜6の側面では炭化シリコンからなり、タンゲステン膜8の側面では炭化タンゲステンからなり、窒化タンゲステン膜7の側面では形成されないかあるいは炭窒化タンゲステン（または炭化タンゲステン）からなる。ライト酸化処理の前にゲート電極側壁の炭化処理を行うことで、ライト酸化処理の前にゲート電極側壁の窒化処理を行なったのとほぼ同様の効果を得ることができ、ライト酸化工程でのゲート電極の側壁からのタンゲステンなどの昇華を抑制または防止でき、半導体装置の性能や信頼性を向上することができる。

【0056】

また、ライト酸化処理の前にゲート電極側壁の炭化処理を行なった場合は、比較的低温でゲート電極側壁に炭化物を形成することができ、炭化処理が容易である。このため、製造工程の制御が容易となる。また形成された炭化タンゲステンは安定で薬品などに対する耐性が高い。

【0057】

また、ライト酸化処理の前にゲート電極側壁の窒化処理を行なった場合は、窒化処理に用いた窒素がコンタミネーションまたは不純物として半導体基板内に入りにくく、デバイス特性への影響がほとんどないため、製造される半導体装置の歩留まりをより向上することができる。

【0058】

また、ゲート電極側壁の窒化処理の後に炭化処理を行ってからライト酸化処理を行うこともでき、また、ゲート電極側壁の炭化処理の後に窒化処理を行ってからライト酸化処理を行うこともできる。また、ライト酸化処理の前に、上記窒化処理のための雰囲気（例えば窒素プラズマまたはアンモニアプラズマ）と炭化処

理のための雰囲気（例えば一酸化炭素プラズマまたはメタンプラズマ）とを両方含んだ雰囲気中でゲート電極側壁において窒化と炭化とを同時に進行させることもできる。

【0059】

以下、ライト酸化処理（酸化処理）工程の後の工程について説明する。まず、図7に示されるように、n型ウエル4に例えればホウ素（B）などの不純物をイオン注入することにより、n型ウエル4のゲート電極10cの両側の領域にp-型半導体領域14が形成される。また、p型ウエル3に例えればリン（P）などの不純物をイオン注入することにより、p型ウエル3のゲート電極10bの両側の領域にn-型半導体領域15が形成され、p型ウエル3のゲート電極10aの両側の領域にn型半導体領域16が形成される。

【0060】

次に、CVD法などを用いて、半導体基板1上に窒化シリコン膜17を形成する。それから、メモリ部を図示しないフォトレジスト膜で覆い、周辺回路部の窒化シリコン膜17を異方性エッチングすることにより、ゲート電極10b, 10cの側壁に残存する窒化シリコン膜17からなる側壁スペーサ（side wall spacer）またはサイドウォール（側壁絶縁膜）18が形成される。

【0061】

次に、周辺回路部のp型ウエル3にリン（P）またはヒ素（As）などの不純物をイオン注入することにより、p型ウエル3のゲート電極10bおよびサイドウォール18の両側の領域に、高不純物濃度のn+型半導体領域19（ソース、ドレイン）が形成される。また、周辺回路部のn型ウエル4にホウ素（B）などの不純物をイオン注入することにより、n型ウエル4のゲート電極10cおよびサイドウォール18の両側の領域に、高不純物濃度のp+型半導体領域20（ソース、ドレイン）が形成される。これにより、図8の構造が得られる。

【0062】

このようにして、メモリ部ではメモリセル選択用MISFET21が形成され、周辺回路部のp型ウエル3ではnチャネル型のMISFET22が形成され、周辺回路部のn型ウエル4ではpチャネル型のMISFET23が形成される。

【0063】

次に、図9に示されるように、半導体基板1上にCVD法などを用いて酸化シリコン膜24を形成し、CMP (Chemical Mechanical Polishing) 法などを用いてその上面を平坦化する。それから、フォトレジスト法およびドライエッチング法を用いて、メモリセル選択用MISFET21のn型半導体領域16 (ソース、ドレイン) を露出するコンタクトホール25a, 25bを酸化シリコン膜24に形成する。例えば、セルファアラインコンタクト (Self-Aligned Contact : SAC) プロセスを用い、まず酸化シリコン膜がエッチングされやすい条件でドライエッチングを行って酸化シリコン膜24を除去し、それから塗化シリコンがエッチングされやすい条件でドライエッチングを行って塗化シリコン膜17 (およびその下の酸化シリコン膜) を除去することでコンタクトホール25a, 25bを形成することができる。このとき、ゲート電極10aの側壁に塗化シリコン膜17が残るようとする。

【0064】

次に、リンなどをドープした多結晶シリコン (ドープトポリシリコン) 膜をCVD法などによって半導体基板1上にコンタクトホール25a, 25bを埋めるように形成し、CMP法などによってドープトポリシリコン膜を研磨することにより、コンタクトホール25a, 25bを埋めるプラグ26a, 26bを形成する。その後の高温プロセスで、プラグ26a, 26b中の不純物 (ここではリン) がn型半導体領域16 (ソース、ドレイン) 中に拡散し、n型半導体領域16の不純物濃度を高めて低抵抗化させることができる。

【0065】

次に、図10に示されるように、プラグ26a, 26bが埋め込まれた酸化シリコン膜24上にCVD法などを用いて酸化シリコン膜27を形成する。それから、フォトレジスト法およびドライエッチング法を用いて、プラグ26a上の酸化シリコン膜27を選択的に除去する。

【0066】

次に、図11に示されるように、半導体基板1上 (酸化シリコン膜27上) にフォトレジストパターン28を形成し、フォトレジストパターン28をエッチ

グマスクとして用いたドライエッティングにより、周辺回路部において酸化シリコン膜28および酸化シリコン膜25（およびその下の薄い酸化シリコン膜）を選択的に除去して、コンタクトホール29を形成する。コンタクトホール29の底部では、MISFET22, 23のソース、ドレインであるn⁺型半導体領域19、p⁺型半導体領域20やゲート電極10b, 10cが露出される。

【0067】

次に、図12に示されるように、半導体基板1上に例えば窒化チタン膜30aとタンゲステン膜30bをスパッタリング法で形成し、更にその上部にCVD法などにより酸化シリコン膜31を形成し、フォトレジスト法およびドライエッティング法を用いてパターニングすることにより、メモリ部のビット線32と周辺回路部の第1層配線33とを形成する。

【0068】

次に、図13に示されるように、半導体基板1上に、ビット線32および第1層配線33を覆うように、酸化シリコン膜34をCVD法などにより形成する。それから、フォトレジスト法およびドライエッティング法を用いて酸化シリコン膜34および酸化シリコン膜27を選択的に除去して、プラグ26bを露出するビアまたはスルーホール35を形成する。そして、スパッタリング法などを用いて、酸化シリコン膜34上にスルーホール35を埋めるようにタンゲステン膜を形成し、CMP法などによって研磨してスルーホール35を埋め込むプラグ36を形成する。

【0069】

次に、プラグ36の上部に、下部電極37と容量絶縁膜38と上部電極39との積層構造で構成された情報蓄積用容量素子40を形成することにより、メモリセル選択用MISFET21とこれと直列に接続された情報蓄積用容量素子40とで構成されるDRAMのメモリセルが略完成する。情報蓄積用容量素子40の下部電極37は、例えば、酸化シリコン膜34上にタンゲステン膜をスパッタリング法またはCVD法などによって形成し、フォトレジスト法およびドライエッティング法を用いてタンゲステン膜をパターニングすることにより形成することができる。容量絶縁膜38および上部電極39は、例えば、酸化シリコン膜34上

に下部電極37を覆うように酸化タンタル膜（容量絶縁膜38用絶縁膜）および窒化チタン膜（上部電極39用導体膜）を形成し、フォトレジスト法およびドライエッチング法を用いて窒化チタン膜および酸化タンタル膜をパターニングすることにより形成することができる。その後、情報蓄積用容量素子40の上部には必要に応じてアルミニウム配線などが形成されるが、ここではそれらの図示および説明は省略する。

【0070】

上記のように、実際のメモリ・ロジック混載型半導体装置（DRAM）を作製してその形状および回路の電気特性などより本発明の効果が確認された。しかしながらゲート電極（ゲート配線）の金属層（タンゲステン膜8）側壁部から酸化（ライト酸化）プロセスで昇華する量は微量のため、（その昇華量を）一般的な分析法で評価するのは容易ではない。このため、次のような実験を行なった。すなわち、半導体ウエハ（半導体基板）全体にタンゲステン膜を形成し、その状態で本実施の形態の概念を適用した場合の昇華タンゲステン量を評価した。

【0071】

この実験では、汚染源試料51として、半導体ウエハの全面上にタンゲステン膜を形成し、昇華しやすくするためにこのタンゲステン膜表面を酸化させたもの（酸化タンゲステンが汚染源となる）と、タンゲステン膜を酸化させていないものの（タンゲステンが汚染源となる）の2種類を作製した。図14は、汚染量を調べるために行なった実験の説明図である。清浄ウエハ（清浄な半導体ウエハ、シリコンウエハ）52を図14に示すように、汚染源試料51に対向させて配置した。このとき、汚染源試料51の汚染源面（タンゲステン酸化膜面またはタンゲステン膜面）51aと清浄ウエハ52の清浄面（汚染評価面）52aとが向かい合うように配置する。清浄ウエハ52の清浄面（汚染評価面）52aは裏面52bと逆側の正面であり、そこに半導体装置を形成し得る面である。これらの試料（清浄ウエハ52と汚染源試料51）間の距離W1を5mm一定とし、窒素雰囲気中（プラズマ放電なし）において200°Cから800°Cまでの温度範囲で100°C刻みの温度ごとに熱処理を行った。各温度における熱処理時間は10分間一定とした。各温度で処理した清浄ウエハ（清浄な半導体ウエハ）の表面を全反射

蛍光X線分析を行い、汚染源試料から熱処理により昇華して清浄ウエハ表面に付着したタンクスチン量を求めた。図15に測定結果を示す。図15は、汚染源試料から熱処理により昇華して清浄ウエハ表面に付着したタンクスチン量を示すグラフであり、グラフの横軸は窒素雰囲気中の熱処理温度に対応し、縦軸は清浄ウエハに付着したタンクスチン量に対応する。図15のグラフに示されるように、汚染源（汚染源試料）が酸化されたタンクスチンの場合は、酸化されていない場合（汚染源がタンクスチンの場合）より一桁以上多いタンクスチンが、清浄ウエハに付着することがわかった。

【0072】

次に、清浄ウエハのかわりに多結晶シリコンゲートDRAMを配置して同様の熱処理を行い、タンクスチン汚染によるDRAMのメモリ電荷保持特性を評価した。用いたメモリの技術ノードや回路方式、あるいは作製プロセス条件により一義的に言うことは難しいが、酸化させないタンクスチンを対向して配置した場合は昇華したタンクスチンによるメモリ保持時間の劣化は顕著でなかった。一方、酸化したタンクスチンを対向させた場合は、おおよそ600°C以上の熱処理で劣化が顕著になった。従って、図15のグラフの結果と対比しながら推定すると、図14に示したような実験配置条件においてはおおよそ $10^{10}/cm^2$ レベル以下の汚染量であればメモリ使用上問題はないと考えられる。

【0073】

以上の予備実験を行った後に、上述した本実施の形態の製造工程のゲート電極10a, 10b, 10cの側壁の窒化条件と同様の条件で半導体ウエハの全面上に形成したタンクスチン膜表面を窒化しておいた試料（汚染源試料）と、窒化や酸化をしていないタンクスチン膜が半導体ウエハ上に形成された試料（汚染源試料）とを清浄なウエハに対して図14に示したように配置し、今度はプラズマ酸素雰囲気（酸素プラズマ雰囲気）で熱処理を行った。

【0074】

なお上記のタンクスチンの窒化条件と同じ条件で何も形成していないシリコンウエハを処理した。これは実際に半導体装置を作製する場合には、ゲート電極（ゲート配線）周辺のシリコン基板も窒化される可能性があり、それがプラズマ酸

化プロセスでシリコン基板が酸化されるのを抑制する可能性があるためである。このような処理を施したウエハを用いてシリコンの酸化条件の予備検討を行った。この熱処理は200°Cから800°Cまで100°Cごとに行つた。各温度におけるプラズマパワーや処理時間は、予備検討で求めたシリコン基板表面に4nmの酸化シリコン膜が形成される条件とした。

【0075】

図16は、汚染源（汚染源試料）としてタンゲステン膜表面を窒化しておいた試料を用いた場合と、窒化や酸化をしていないタンゲステン膜を用いた場合の、汚染源試料から熱処理（酸素プラズマ中の熱処理）により昇華して清浄ウエハ表面に付着したタンゲステン量を示すグラフであり、グラフの横軸は酸素プラズマ雰囲気中の熱処理温度に対応し、縦軸は清浄ウエハに付着したタンゲステン量に対応する。窒化していないタンゲステンを汚染源として用いた場合は、400°C程度の低温から汚染量（清浄ウエハの汚染量）が急増した。一方、タンゲステン膜表面を窒化した試料を汚染源として用いた場合では、500°C程度までは上に述べたメモリの保持時間劣化を許容できる10¹⁰/cm²レベルの汚染量（清浄ウエハの汚染量）に抑制できていることが確認され、本実施の形態の効果が再確認された。なお、このタンゲステン膜の窒化は先に述べたようにタンゲステン窒化物ホイスカの発生を抑止するため、例えば420°Cのアンモニアプラズマを行い、その膜厚（窒化膜厚）は1.5nmとしてこの実験を行なった。

【0076】

次に、上記実験ではタンゲステン膜表面を窒化した場合について検討したが、これと同様の実験をタンゲステン膜表面を炭化した場合について行い、タンゲステン膜表面の炭化処理の効果を検討した。タンゲステンの炭化は種々の可能性について検討した。すなわち、まず真空炉にタンゲステン膜を形成したウエハ（半導体ウエハ、シリコンウエハ）を装填し、同じ炉内に炭素片を設置して400°Cで10分熱処理した。なお、この処理では同じ真空炉内で炭素片部分は比較的高温の650°Cに設定して炭素の昇華を容易ならしめるとともに、試料（ウエハ）部は前記のとおり600°C以下に設定し、この処理によりウエハ上のタンゲステン膜表面を炭化させた。別の方法（炭化方法）として、メタンガスをプラズマ放

電させることによりウエハ上のタングステン膜を炭化させた。この場合は200°Cで行った。なお、真空炉内で（炭素片から）炭素を昇華させて（ウエハ上の）タングステンを炭化させた試料では、50 nmの厚さのタングステン膜が、その表面から15 nm程度以上炭化されてしまった。一方、プラズマ放電で炭化する場合は、そのパワーや放電時のガス圧を制御することにより、炭化層の厚さを1 nmないし2 nmに制御することができた。低温で炭化し、かつ深さ制御する（炭化層の深さを制御する）場合は、イオン打ち込み法を用いるのが一般的であり、そのような試料も作製した。しかしながら、実際のゲート電極（ゲート配線）側壁に炭素をイオン打ち込みするのが難しいと思われたため、多くの実験は炭素系ガスプラズマを用いて行った。その後、オゾンを導入してプラズマ放電させた中で酸化処理を行った。すなわち、ウエハ上のタングステン膜表面を上記のように炭化処理したものを汚染源として清浄ウエハ（半導体ウエハ、シリコンウエハ）に対向して配置し、オゾンを導入してプラズマ放電させた中で酸化処理を行った。この酸化熱処理は200°Cから800°Cまで100°Cごとに行った。各温度における酸化処理条件はシリコン基板表面に4 nmのシリコン酸化膜が形成される条件とした。なお上記窒化処理の実験の場合と同様に、上に述べた炭素プラズマ条件で炭化したシリコンを用いてプラズマ酸化プロセス条件を予備的に求めておいた。

【0077】

この実験の結果、図示はしないが、タングステン膜表面を炭化した場合（汚染源として表面を炭化したタングステンを用いた場合）は、図16に示されるタングステン膜表面を窒化した場合（汚染源として表面を窒化したタングステンを用いた場合）の汚染量よりも、約半分汚染量（清浄ウエハの汚染量）が少なかった。このため、タングステン膜の表面の炭化処理は、汚染に対して有効であることが確認された。これは、タングステン窒化物が比較的耐熱性が低いのに対して、タングステン炭化物はいったん化合物が形成されると熱力学的に非常に安定になるためと思われる。

【0078】

（実施の形態2）

上記実施の形態1では、ゲート電極（ゲート配線）10a, 10b, 10cの金属層（タンクステン膜8）の側壁部をあらかじめ窒化あるいは炭化して保護層を設けておき、その後に周辺の基板シリコンの酸化（ライト酸化）を行った。本実施の形態では、ゲート電極の側壁の窒化あるいは炭化と同時に基板シリコンを酸化する。

【0079】

上記実施の形態1と同様にして、図3に示されるようにタンクステン膜8、窒化タンクステン膜7および多結晶シリコン膜6をパターニングしてゲート電極（ゲート配線）10a, 10b, 10cを形成した後、還元性のある窒素酸化物ガス（例えばN₂O（一酸化二窒素）ガス）あるいは炭素酸化物ガス（例えばCO（一酸化炭素）ガス）を（半導体基板1を配置した）処理室に導入してプラズマ放電させる。これらのガス（N₂OガスまたはCOガス）は熱力学的にはタンクステンやモリブデンなどの金属酸化物を還元しながらシリコンを酸化することができる。更に、これらの金属は同じ温度条件ではシリコンより窒化や炭化されやすいため、金属の昇華抑止層（窒化物層または炭化物層）を（金属層の側壁表面に）生成しながらシリコン（半導体基板のシリコン表面部分）を酸化せることができる。これにより、ゲート電極側壁の窒化あるいは炭化と同時に基板シリコンを酸化（ライト酸化）することができる。このため、ゲート電極10a, 10b, 10cの側壁を窒化あるいは炭化してタンクステンの昇華などを抑制するとともに、ゲート電極の周辺の半導体基板表面部分に存在する酸化シリコン膜11の損傷や欠陥を修復し、あるいは清浄な酸化シリコン膜を再形成することができる。従って、半導体装置の信頼性を向上し、半導体装置の製造工程数を低減できる。以降の工程は、上記実施の形態1のライト酸化処理の後の工程と同様であるので、ここではその説明は省略する。

【0080】

タンクステン昇華による汚染量は、上記実施の形態1で行なわれた実験で述べた汚染量以下を目標とした場合、基板シリコンの酸化のためのプラズマ酸素処理温度を600℃から700℃程度の温度まで高くしても問題ないことが分かった。さらに本実施の形態の方法で製造した半導体装置（デュアル積層（W/WNx/polyS

i) ゲートメモリ・ロジック混載半導体装置) の特性は、次の利点も得ることができる。すなわち、上記実施の形態1で作製した半導体装置と比較して、ボロン漏れによるpチャネルMISトランジスタの閾値電圧変動を例えれば約半分以下に抑制することができる。これは、本実施の形態では、水素化合物ガスを用いていないため、活性化された水素が存在しないのでゲート絶縁膜が損傷を受けることがなく、ボロン漏れをより的確に抑制または防止することができるためと考えられる。

【0081】

上記実施の形態1では、ゲート電極(ゲート配線)の側壁を窒化あるいは炭化した後に基板シリコンの酸化(ライト酸化)を行った。この二つのプロセスを一つのプロセスで行なうため、本実施の形態では、一酸化二窒素(N_2O)や一酸化炭素(CO)などの還元性の窒素酸化物ガスあるいは炭素酸化物ガスを主成分とする雰囲気でプラズマ放電させることにより生成した活性化されたイオン種をゲート電極(ゲート配線)の側壁部および周辺シリコン基板表面に照射する。これらのガスはタンゲステンなどのVIA族金属あるいはタンタルなどのVa族金属に対しては還元性を有するがシリコンやチタンなどのIVa族金属に対しては酸化性を有する。したがって該金属層(タンゲステン膜8)やバリア層(窒化タンゲステン膜7)材料の酸化を極力抑制しながらゲート電極周辺の基板シリコンを酸化させることができる。

【0082】

(実施の形態3)

上記実施の形態1では、ゲート電極の加工後、ライト酸化処理の前に、アンモニアプラズマ(または窒素プラズマ)などを用いてゲート電極の側壁を窒化させた。本実施の形態では、アンモニアプラズマ(または窒素プラズマ)処理の前にシリコンの水化物(水素化物)またはハロゲン化物ガスを導入する。

【0083】

まず、上記実施の形態1と同様にして、図3に示されるようにタンゲステン膜8、窒化タンゲステン膜7および多結晶シリコン膜6をパターニングしてゲート電極(ゲート配線)10a, 10b, 10cを形成した後、例えばプラズマCV

D装置に半導体基板1を装填し、シリコンを含むガス（シリコンを含むハロゲン化物ガスまたはシリコンを含む水化物（水素化物）ガス）、例えばモノシラン（SiH₄）ガス、ジクロロシラン（SiH₂Cl₂）ガスまたは四フッ化ケイ素（SiF₄）ガスなど、を導入して半導体基板1を配置した処理室内でプラズマを発生させる。すなわち、シリコンを含むガス（シリコンを含むハロゲン化物ガスまたはシリコンを含む水化物（水素化物）ガス）を用いたプラズマ処理を行う。これにより、ゲート電極10a, 10b, 10cの側壁にシリコン化合物膜またはシリコン（ポーラスシリコン、ポーラスSi）膜61が堆積または付着する。

【0084】

図17は、上記実施の形態1の図4において、ゲート電極10a, 10b, 10cの側壁にこのシリコン（またはシリコン化合物）膜61が付着した状態を概念的に示す部分拡大断面図である。なお、ゲート電極10a, 10b, 10cの側壁以外の領域にもシリコン膜61が付着する。この領域（例えば半導体基板1の表面上）に付着したシリコンはライト酸化を抑制するため、できるだけ少なく、あるいは付着しても不連続であることが望ましい。この目的には、モノシランよりジクロロシランのほうが適しており、処理室の真空度およびガス流入量さらにプラズマ条件を選択することにより、側壁付着シリコン量よりおおよそ半分程度にすることが可能である（例えば半導体基板1表面上に付着したシリコン膜厚をゲート電極側壁に付着したシリコン膜厚の半分程度にすることが可能である）。理解を簡単にするために、図17では、ゲート電極10a, 10b, 10cの側壁に付着したシリコン膜61だけを図示している。

【0085】

半導体基板1を加熱した状態でシリコンハロゲン化物ガスまたはシリコン水化物（水素化物）ガスを処理室内に導入して、ゲート電極10a, 10b, 10cの側壁にシリコンまたはシリコン化合物を付着させることもできるが、プラズマを発生させることで、ゲート電極10a, 10b, 10cの側壁へのシリコンまたはシリコン化合物の付着をより的確に行なうことができる。

【0086】

ゲート電極側壁に付着したシリコン（またはシリコン化合物）膜61の膜厚は

、1～20nmの範囲内であることが好ましい。これにより、ライト酸化の際に付着シリコンが優先的に酸化されることにより表面にシリコン酸化物被覆層が形成され、その下に存在するタンゲステンや界面が酸化されるのを抑止する効果を得ることができる。なお、付着シリコンはライト酸化プロセスにおいて、下地の金属層と反応して珪化物（シリサイド）を形成する可能性がある。しかしライト酸化温度が600℃以下、より好ましくは500℃以下で行う場合はシリサイド形成反応が生じ難く、付着シリコンが酸化されるほうが優先される。たとえシリサイドが形成された場合においても、金属層（例えばタンゲステン膜8）がタンゲステンやタンタルなどのVa族あるいはVIa族で形成される場合は、酸化物の生成エネルギーがシリコン酸化物の大きさの違いより、より安定なシリコン酸化物が表面に優先的に形成され、ライト酸化プロセスでの金属（例えばタンゲステン膜8）の酸化を防止できる。

【0087】

それから、プラズマCVD装置の処理室に導入するガスを上記シリコンを含むハロゲン化物ガスまたは水化物（水素化物）ガスから窒素を含むガス（例えば窒素ガスまたはアンモニアガス）に切換え、半導体基板1を配置した処理室内でプラズマ（例えば窒素プラズマまたはアンモニアプラズマ）を発生させる。すなわち、窒素を含むガスを用いたプラズマ処理を行なう。これにより、図18に示されるように、ゲート電極10a, 10b, 10cの側壁が窒化されて、窒化物膜62が形成される。この際、ゲート電極10a, 10b, 10cの側壁のシリコン（またはシリコン化合物）膜61が窒化されて窒化物膜（例えば窒化シリコン膜）62になるので、タンゲステン膜8自身が窒化され難くなるため、タンゲステン膜8の窒化によるゲート電極の抵抗増大を抑止することができる。従って、本実施の形態では、ゲート電極10a, 10b, 10cの側壁に形成された窒化物膜62は、ほぼ窒化シリコンからなり、ゲート電極10a, 10b, 10cの側壁のほぼ全面に形成され得る。なおシリコン基板（半導体基板1表面）上に付着したシリコンも窒化されるが、先に述べたように側壁（ゲート電極側壁）部より付着シリコン量を少なくし、不連続なポーラスシリコンとしているため、ライト酸化プロセスでシリコン基板（半導体基板1表面）を酸化する際の大きな障害

になることはない。またゲート電極加工（パターニング）時にゲート電極周辺のゲート絶縁膜のシリコン酸化膜（酸化シリコン膜11）を残存させておいた場合は、上記のプラズマ窒化時にシリコン基板（半導体基板1表面）が窒化されるのを防止できるため、よりライト酸化による半導体装置の特性向上が図れる。

【0088】

また、シリコンを含むガス（例えばモノシランガス）を用いたプラズマ処理と窒素を含むガス（例えばアンモニアガス）を用いたプラズマ処理とを同じ装置（例えばプラズマCVD装置）を用い導入ガスを切換えるだけで行なうことができるので、製造工程が簡略化でき、製造工程数の増大を抑制できる。

【0089】

また、シリコンを含むガス（例えばモノシランガス）を用いたプラズマ処理と窒素を含むガス（例えばアンモニアガス）を用いたプラズマ処理とは、半導体基板の温度を好ましくは600℃以下、より好ましくは500℃以下で行なう。これにより、上記実施の形態1と同様にホイスカの成長などが抑制されて半導体装置の信頼性を向上できる。また、シリコンを含むガスを用いたプラズマ処理と窒素を含むガスを用いたプラズマ処理における半導体基板の温度がほぼ同じであれば、両者のプラズマ処理を連続的に行なうことが可能となり、半導体装置の製造時間を短縮できる。

【0090】

窒素を含むガス（例えばアンモニアガス）を用いたプラズマ処理により、ゲート電極の側壁を窒化した後、上記実施の形態1と同様のライト酸化を行う。このライト酸化工程およびそれ以降の工程は上記実施の形態1と同様であるので、ここではその説明は省略する。

【0091】

本実施の形態によれば、上記実施の形態1と同様の効果を得ることができる。また、窒化処理におけるゲート電極のタンゲステン膜の窒化量を抑制できるので、ゲート電極の抵抗をより低減することができる。

【0092】

（実施の形態4）

上記実施の形態1～3では、ゲート電極構造としてタンゲステン膜、窒化タンゲステン膜および多結晶シリコン膜の積層構造 (W/WNx/polySi) を用いた。この構造において、ゲート電極の周辺の酸化シリコン膜の修復（ライト酸化）を先に述べた水素ガス中に微量（数%から10%程度）の水分を添加した雰囲気で行う場合、700°C程度以上の高温で熱処理する必要があった。しかしながら、上記実施の形態1のようにライト酸化処理をプラズマ酸化を用いて500°C以下で行うことにより、タンゲステン窒化物 (WNx) バリア層と多結晶シリコン層間の接触抵抗を従来の $100 \text{ k} \Omega \cdot \mu \text{m}^2$ 程度の高い値から、例えば $1 \text{ k} \Omega \cdot \mu \text{m}^2$ ないし $20 \text{ k} \Omega \cdot \mu \text{m}^2$ 程度と著しく低減でき、混載半導体装置ロジック回路の高速化に寄与することができる。しかしながら、半導体装置の技術ノードが $0.1 \mu \text{m}$ あるいはそれ以下になると $1 \text{ k} \Omega \cdot \mu \text{m}^2$ 以下の値が要求される。このような低接触抵抗をタンゲステン膜、窒化タンゲステン膜および多結晶シリコン膜 (W/WNx/polySi) の積層構造で達成するのは容易ではない。

【0093】

そこで、窒化タンゲステン (WNx) 膜と多結晶シリコン膜の間に珪化タンゲステン膜（タンゲステン珪化物膜、タンゲステンシリサイド膜）を挿入する方法を検討した。この結果、珪化物層（珪化タンゲステン膜）を挟まない従来の構造では難しかった $500 \Omega \cdot \mu \text{m}^2$ 程度の低い接触抵抗を実現することができた。しかしながらこの構造では、タンゲステン窒化物のバリア性が破壊されやすく局部的に上層のタンゲステン層と下地の多結晶シリコン層が反応して珪化物を形成し、それがゲート絶縁膜まで達することにより絶縁耐圧不良を発生させる恐れがある。また、ゲート電極が $2 \mu \text{m}$ ないし $3 \mu \text{m}$ 程度まで微細化されると、先に述べた水素に水分を添加した雰囲気で行うシリコン基板の酸化（ライト酸化）プロセスでは挿入したタンゲステン珪化物が界面拡散した酸化種（例えば酸素や水分）により急速に酸化されてしまう問題が生じる。

【0094】

そこで本実施の形態では、次のようにしてゲート電極の形成およびライト酸化処理を行う。図19～図23は、本実施の形態の半導体装置の製造工程中の要部断面図である。なお、図21は図20の部分拡大断面図に対応し、図23は図2

2の部分拡大断面図に対応する。また、図1までの製造工程は上記実施の形態1と同様であるので、ここではその説明は省略し、図1に続く製造工程について説明する。

【0095】

上記実施の形態1と同様にして図1の構造が得られた後、図19に示されるように、上記実施の形態1と同様にして、半導体基板1の全面上に多結晶シリコン膜6を形成する。それから、本実施の形態では、多結晶シリコン膜6上に例えばCVD法などを用いて例えば12nm程度の厚みの珪化タンゲステン膜（タンゲステン珪化物膜、タンゲステンシリサイド膜）70を形成する。そして、珪化タンゲステン膜70上に、上記実施の形態1と同様にして、例えば7nm程度の厚みの窒化タンゲステン膜7と例えば50nm程度の厚みを有するタンゲステン膜（金属層）8とを形成する。窒化タンゲステン膜7の他の材料として炭化タンゲステン（炭化物）膜などを用いることもできる。炭化タンゲステン膜を形成する場合は、例えばスパッタリング法を用い、例えばArガスにCF4ガスを添加したスパッタ雰囲気でタンゲステンターゲットをスパッタすることなどにより成膜し、その後、別のスパッタ装置を用いてタンゲステン膜8を炭化タンゲステン膜上に形成することができる。また、CF4ガスの代わりにメタンガスなどの炭素化合物ガスを用いることもできる。

【0096】

それから、タンゲステン膜8上に上記実施の形態1と同様にして窒化シリコン膜9を形成する。その後、図20に示されるように、フォトリソグラフィ技術およびドライエッチング技術を用いて、窒化シリコン膜9、タンゲステン膜8、窒化タンゲステン膜7、珪化タンゲステン膜50および多結晶シリコン膜6を選択的に除去（パターニング）して、上記実施の形態1のゲート電極10a, 10b, 10cに対応するゲート電極（ゲート配線）71a, 71b, 71cを形成する。

【0097】

図20および図21に示されるように、形成されたゲート電極71a, 71b, 71cは、下から多結晶シリコン膜6、珪化タンゲステン膜70、窒化タンゲ

ステン膜7およびタンゲステン膜8の積層構造を有している。珪化タンゲステン膜70は、窒化タンゲステン膜7の窒素が多結晶シリコン膜6に拡散して多結晶シリコン膜6が窒化されるのを防止するように機能することができる。また、窒化タンゲステン膜7は、多結晶シリコン膜6や珪化タンゲステン膜70のシリコンがタンゲステン膜8に拡散するのを防止するように機能することができる。従って、珪化タンゲステン膜70および窒化タンゲステン膜7がバリア層として機能する。珪化タンゲステン膜70の材料としては高融点金属珪化物を用いることができ、ここで例示した珪化タンゲステン($W_{1-x}Si_x$)だけでなく、例えば珪化モリブデン($Mo_{1-x}Si_x$)、珪化タンタル($Ta_{1-x}Si_x$)、珪化チタン($Ti_{1-x}Si_x$)、珪化ジルコニウム($Zr_{1-x}Si_x$)または珪化ハフニウム($Hf_{1-x}Si_x$) (すなわちタンゲステン、モリブデン、タンタル、チタン、ジルコニウムまたはハフニウムの珪化物)などを用いることもできる。

【0098】

その後の工程は、上記実施の形態1におけるゲート電極10a, 10b, 10c形成後の工程と同様である。すなわち、図22および図23に示されるように、上記実施の形態1と同様にして(例えば窒素プラズマやアンモニアプラズマ処理によりゲート電極71a, 71b, 71cの側壁を窒化する。これにより、ゲート電極71a, 71b, 71cの側壁には窒化物膜72が形成される。

【0099】

ゲート電極51a, 51b, 51cの側壁に形成された窒化物膜72は、多結晶シリコン膜6の側面では窒化シリコンからなり、珪化タンゲステン(タンゲステンシリサイド)膜70の側面では窒化シリコン(または窒化タンゲステン)からなり、タンゲステン膜8の側面では窒化タンゲステンからなる。窒化タンゲステン膜7はそれ自体が窒化物からなるので、アンモニアプラズマなどに曝されてもほとんど変化しない。従って、窒化物膜72は、実質的には多結晶シリコン膜6、珪化タンゲステン膜70およびタンゲステン膜8の側面(露出部)で形成されることになる。また、窒化物膜72の膜厚は、実際には多結晶シリコン膜6の側面、珪化タンゲステン膜70の側面およびタンゲステン膜8の側面で異なり得る。しかしながら、理解を簡単にするために、図22および図23では、窒化物

膜（窒化膜）72がゲート電極の側壁全面（多結晶シリコン膜6、珪化タンゲステン膜70、窒化タンゲステン膜7およびタンゲステン膜8の側面）に同じ厚みで形成されたものとして図示している。

【0100】

その後、上記実施の形態1と同様にして（例えば酸素プラズマ処理により）ライト酸化処理を行う。これにより、ゲート電極71a, 71b, 71c周辺部の酸化シリコン膜が再酸化されて欠陥や損傷などが修復され、MISFETのゲート絶縁耐圧を向上できる。また、ゲート電極51a, 51b, 51cの側壁が窒化されて窒化物膜72が形成されているので、ライト酸化処理中のタンゲステンなどの昇華を抑制または防止することができる。

【0101】

以降の工程は、上記実施の形態1と同様であるので、ここではその説明は省略する。なお、本実施の形態においても、上記実施の形態1にあるように、ゲート電極71a, 71b, 71c側壁の窒化処理の代わりにゲート電極71a, 71b, 71c側壁の炭化処理を行ってもよく、また、上記実施の形態2にあるように、ゲート電極71a, 71b, 71c側壁の窒化処理または炭化処理と同時にライト酸化処理を行うこともできる。また、上記実施の形態3にあるように、ゲート電極71a, 71b, 71c側壁の窒化処理の前に、シリコンを含むガス（シリコンを含むハロゲン化物ガスまたはシリコンを含む水化物ガス）を用いたプラズマ処理を行うこともできる。

【0102】

以上のようにして製造された半導体装置（メモリ・ロジック混載半導体装置）の特性評価を行った。その結果、耐熱性の高い窒化タンゲステン（タンゲステン窒素化合物）または炭化タンゲステン（タンゲステン炭素化合物）をバリア層として用いたことにより、半導体装置製造工程における熱処理工程を経ても局所的なバリア破壊はみられず、絶縁耐圧歩留まりは例えばほぼ100%と極めて良好な結果が得られた。また、上記実施の形態1と同様に、ゲート電極の側壁保護層（窒化物膜52）の効果により、メモリの電荷保持特性は250ミリ秒以上の良好な特性が得られた。更に、ゲート電極周辺のシリコン基板への清浄なシリコン

酸化膜再形成（ライト酸化処理）温度を好ましくは600°C以下、より好ましくは500°C以下に低温化したことにより接触抵抗を例えば500W· μ m²程度まで低減できた効果により、ロジック回路の動作速度を本発明を用いない場合に比較して10ないし15%速くすることができた。この高速化は、接触抵抗低減とともに微細ゲート電極におけるタンゲステン珪化物（珪化タンゲステン膜50）の側壁部からの急速な酸化が抑止または防止できた効果も含まれるものと考えられる。

【0103】

なお、タンゲステン珪化物と多結晶シリコンを積層したいわゆるポリサイドゲートにおいて、ゲート電極（ゲート配線）幅（ゲート長）が0.3 μ m以下に微細化されるとシート抵抗が上昇する問題があった。この現象はゲート電極の周辺基板シリコンの再酸化（ライト酸化）工程で、ゲート電極のタンゲステン珪化物が側壁部から酸化され、微細化とともに側壁酸化層の配線抵抗に占め割合が増大するためである。従って、本発明をこのゲート電極・配線においても適用することにより側壁酸化（ゲート電極の側壁酸化）が抑止でき、微細化にともなう配線抵抗の上昇を少なくできることを確認した。

【0104】

上記実施の形態1～3では、ゲート電極（ゲート配線）が多結晶シリコン層の上にバリア層とタンゲステンなどの金属層が積層された構造について主に述べた。上記実施の形態1～3の概念は、本実施の形態のように、ゲート電極が多結晶シリコン層の上にタンゲステン、モリブデン、タンタルなどのVIA族金属あるいはVIA族金属の珪化物、コバルト、ニッケル、鉄などのVIII族金属の珪化物が積層されているゲート電極にも適用できる。これらの珪化物では化合物を構成するシリコンが優先的に酸化されるため珪化物表面にシリコン酸化物が形成されやすく、この膜がゲート電極周辺の基板シリコンを酸化（ライト酸化）する際に生じやすい金属汚染を抑止することができる。ただし、これらの珪化物は基板シリコンより酸化されやすいため、ゲート電極側壁の珪化物表面に形成されるシリコン酸化膜の厚さは比較的厚くなる。このような系においても、ゲート電極側壁の極表面をあらかじめ窒化物あるいは炭化物を形成しておくことにより、後の

酸化（ライト酸化）工程での珪化物を構成するシリコンの消費を抑制でき、珪化物層の剥離などの問題発生を抑止できる。またチタンなどのIVa族金属の珪化物を積層した場合は、結合力の強い窒化物あるいは炭化物を容易に形成するため、後の酸化（ライト酸化）プロセスステップでの該構成金属の酸化を抑制できる。

【0105】

上記実施の形態1～3のゲート電極（ゲート配線）は、多結晶シリコン層の上に金属あるいは金属化合物層を積層した構造であるが、多結晶シリコンを有さないでタングステンなどのVIA族金属あるいはタンタルなどのVa族金属層をゲート絶縁膜上に直接設けた、いわゆるメタルゲートに対しても本発明の主工程を適用できかつ同様な効果が得られる。すなわち、金属層側壁を600℃以下、より好ましくは500℃以下の温度で窒化あるいは炭化しておき、ゲート電極（ゲート配線）周辺の基板シリコン表面に存在する酸化シリコン膜（ゲートシリコン酸化膜）に内在する損傷や欠陥の修復、あるいは酸化シリコン膜（シリコン酸化膜）の清浄化が行える。

【0106】

換言すれば、上記実施の形態1～3においては、積層構造のゲート電極（ゲート配線）を用いたが、タングステン、モリブデンあるいはタンタルなどの金属（高融点金属）の単層からなるいわゆるメタルゲートにおいても本発明を適用でき、同様の効果が得られることは明らかである。メタルゲートにおいてもゲート電極の加工にはドライエッチング技術が用いられる。従って、このとき（ゲート電極のパターニングのためのドライエッチング工程で）生じたゲート電極周辺の酸化シリコン膜（ゲートシリコン酸化膜）の損傷・欠陥を修復するために酸化（ライト酸化）プロセスが必要になる。このとき（ライト酸化工程で）上記実施の形態1～3で述べた積層構造のゲート電極と同様にメタルゲートにおいてもタングステンなどの酸化物が昇華して半導体装置を汚染させる。これに対しては上記実施の形態1～3で示したのと同じ方法でゲート電極（メタルゲート）の側壁を窒化あるいは炭化させ、かつ酸化（ライト酸化）工程を上記実施の形態1～3のように好ましくは600℃以下、より好ましくは500℃以下の低温プラズマ酸素

雰囲気などで行うことにより、汚染を低減できる。

【0107】

また、同様に、多結晶シリコン膜上に珪化タンゲステン膜を形成した2層構造を有するゲート電極においても本発明を適用でき、同様の効果が得られることは明らかである。この場合、珪化タンゲステン膜の他の材料として、高融点金属珪化物（珪化金属膜）、例えば珪化モリブデン（MoS_{ix}）または珪化タンタル（TaS_{ix}）（すなわちタンゲステン、モリブデンまたはタンタルの珪化物）を用いることもできる。このようなゲート電極構造は、半導体基板1上に多結晶シリコン膜および珪化タンゲステン膜を形成してパターニングすることにより形成できるが、多結晶シリコン膜上にタンゲステン膜を形成し、タンゲステン膜を多結晶シリコン膜と反応させてシリサイド化することにより形成することもできる。このような構造のゲート電極においても、ゲート電極のパターニング後、上記実施の形態1～4と同様にしてゲート電極の側壁を窒化（または炭化）し、その後上記実施の形態1～4と同様にしてライト酸化処理を行うことで、半導体装置の信頼性を向上し、またゲート電極の抵抗を低減できる。

【0108】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0109】

前記実施の形態では、DRAMのメモリセルと周辺回路を構成するMISFE Tについて説明したが、本発明は、これに限定されるものではなく、金属層または金属化合物層を含むゲート電極（ゲート配線）を有する種々の半導体装置に適用することができる。

【0110】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0111】

金属膜または金属化合物膜を含むゲート電極のパターニング後に、ゲート電極側壁を低温で窒化または炭化させて金属膜側壁に保護膜を形成した後に、低温でライト酸化を行うことにより、半導体装置の信頼性を向上させることができる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態である半導体装置の製造工程中の要部断面図である。

【図 2】

図 1 に続く半導体装置の製造工程中における要部断面図である。

【図 3】

図 2 に続く半導体装置の製造工程中における要部断面図である。

【図 4】

図 3 の部分拡大断面図である。

【図 5】

図 3 に続く半導体装置の製造工程中における要部断面図である。

【図 6】

図 5 の部分拡大断面図である。

【図 7】

図 5 に続く半導体装置の製造工程中における要部断面図である。

【図 8】

図 7 に続く半導体装置の製造工程中における要部断面図である。

【図 9】

図 8 に続く半導体装置の製造工程中における要部断面図である。

【図 10】

図 9 に続く半導体装置の製造工程中における要部断面図である。

【図 11】

図 10 に続く半導体装置の製造工程中における要部断面図である。

【図 12】

図 11 に続く半導体装置の製造工程中における要部断面図である。

【図 13】

図12に続く半導体装置の製造工程中における要部断面図である。

【図14】

汚染量を調べるために行なった実験の説明図である。

【図15】

汚染源試料から昇華して清浄ウエハ表面に付着したタンゲステン量を示すグラフである。

【図16】

汚染源試料から昇華して清浄ウエハ表面に付着したタンゲステン量を示すグラフである。

【図17】

本発明の他の実施の形態である半導体装置の製造工程中の部分拡大断面図である。

【図18】

図17に続く半導体装置の製造工程中における部分拡大断面図である。

【図19】

本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図20】

図19に続く半導体装置の製造工程中における要部断面図である。

【図21】

図20の部分拡大断面図である。

【図22】

図20に続く半導体装置の製造工程中における要部断面図である。

【図23】

図22の部分拡大断面図である。

【符号の説明】

- 1 半導体基板
- 2 素子分離領域
- 3 p型ウエル
- 4 n型ウエル

- 5 ゲート絶縁膜
- 6 多結晶シリコン膜
- 7 窒化タンゲステン膜
- 8 タンゲステン膜
- 9 窒化シリコン膜
- 10 a ゲート電極
- 10 b ゲート電極
- 10 c ゲート電極
- 11 酸化シリコン膜
- 12 窒化物膜
- 14 p-型半導体領域
- 15 n-型半導体領域
- 16 n型半導体領域
- 17 窒化シリコン膜
- 18 サイドウォール
- 19 n+型半導体領域
- 20 p+型半導体領域
- 21 メモリセル選択用MISFET
- 22 nチャネル型のMISFET
- 23 pチャネル型のMISFET
- 24 酸化シリコン膜
- 25 a コンタクトホール
- 25 b コンタクトホール
- 26 a プラグ
- 26 b プラグ
- 27 酸化シリコン膜
- 28 フォトレジストパターン
- 29 コンタクトホール
- 30 a 窒化チタン膜

30 b タングステン膜

31 酸化シリコン膜

32 ビット線

33 第1層配線

34 酸化シリコン膜

35 スルーホール

36 プラグ

37 下部電極

38 容量絶縁膜

39 上部電極

40 情報蓄積用容量素子

51 汚染源試料

51 a 汚染源面

52 清浄ウエハ

52 a 清浄面

52 b 裏面

61 シリコン膜

62 窒化物膜

70 硅化タングステン膜

71 a ゲート電極

71 b ゲート電極

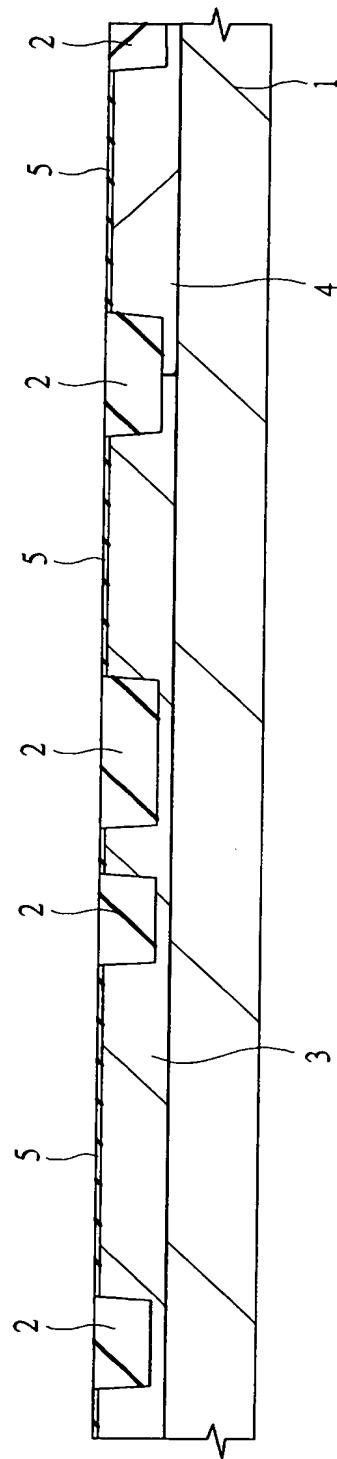
71 c ゲート電極

72 窒化物膜

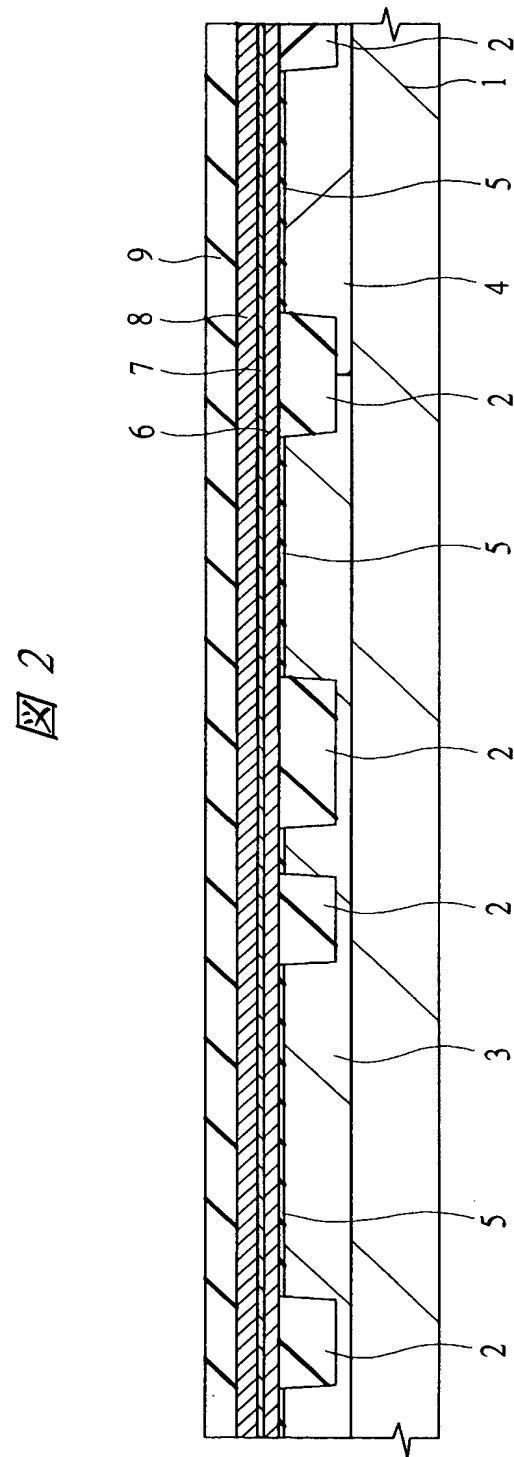
【書類名】 図面

【図1】

図1

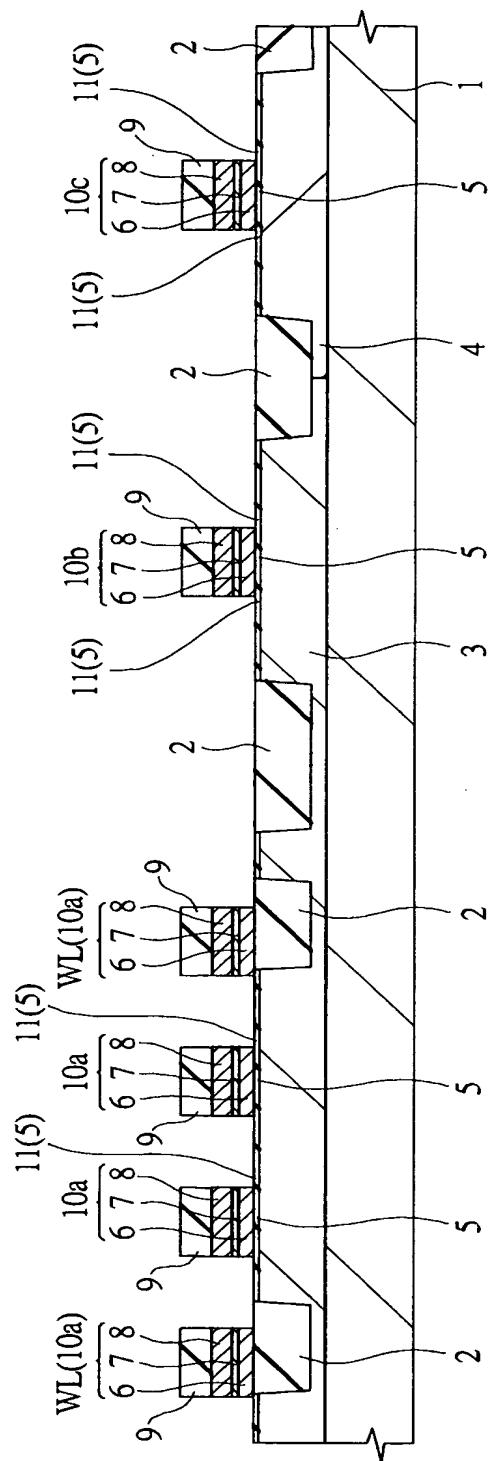


【図2】



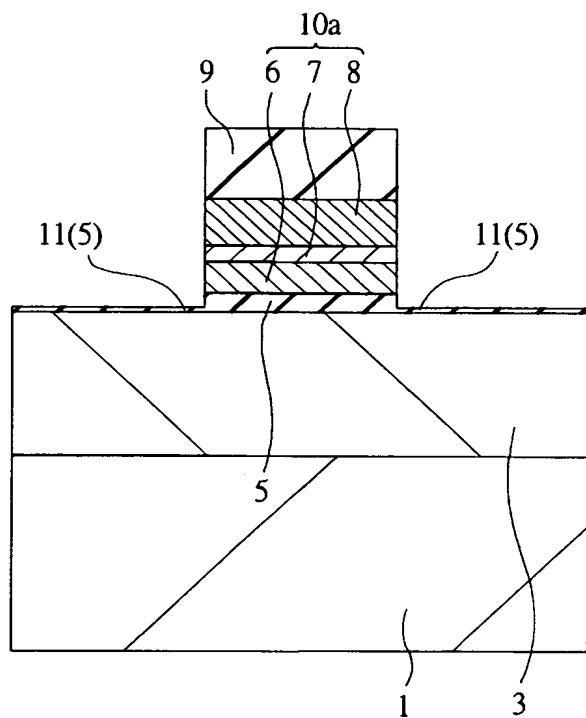
【図3】

図3



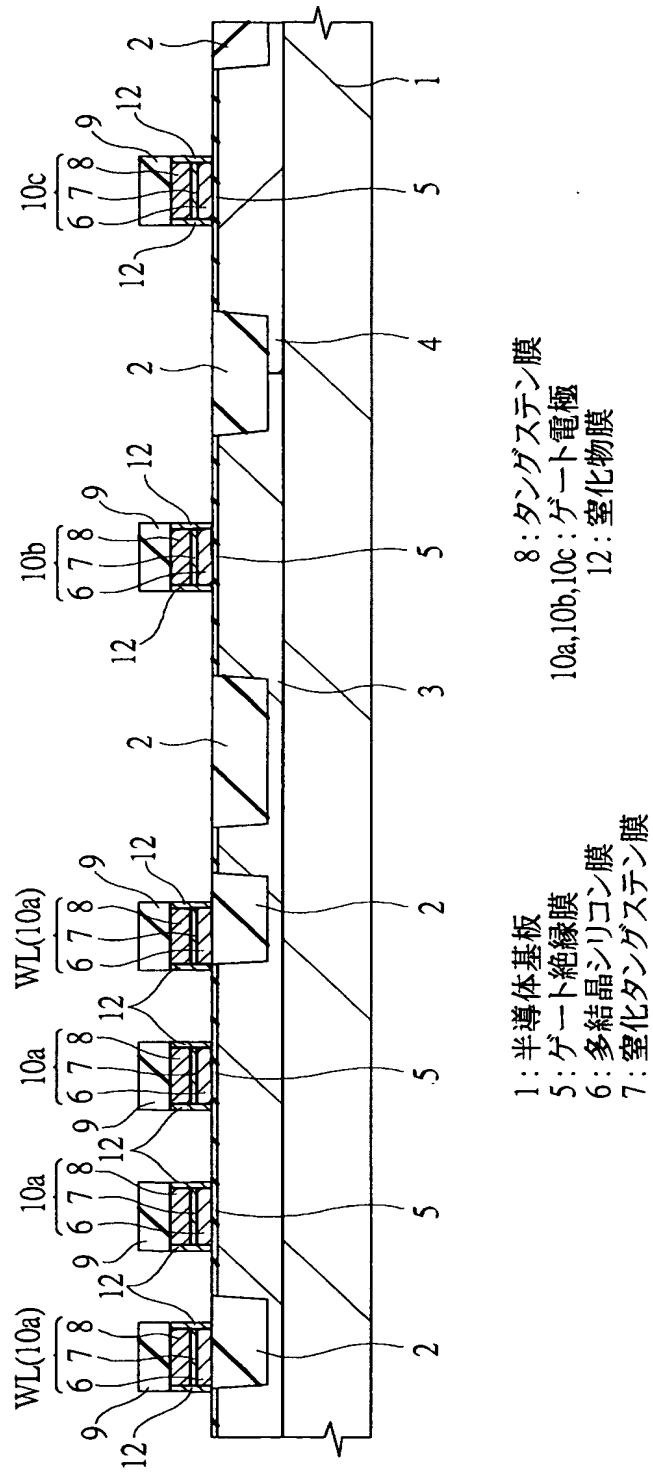
【図4】

図4



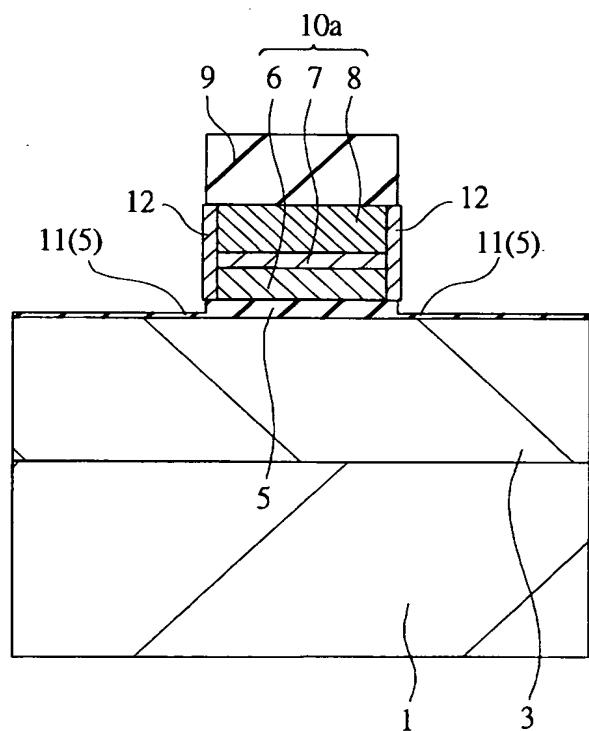
【図 5】

図 5

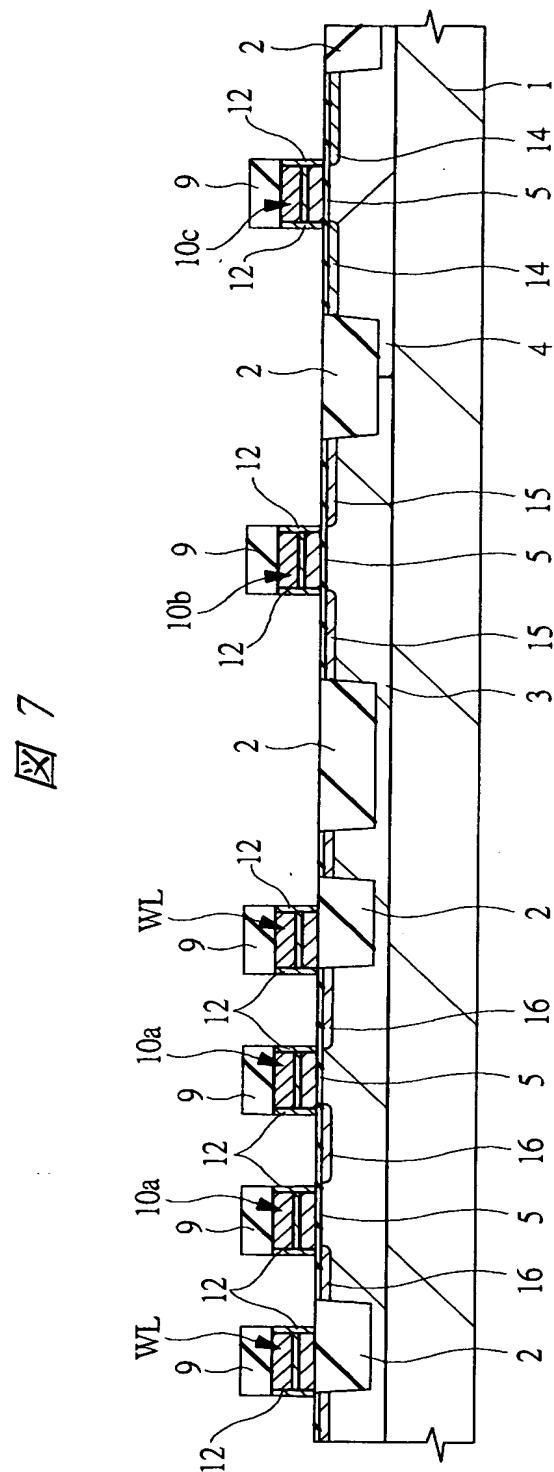


【図 6】

図 6

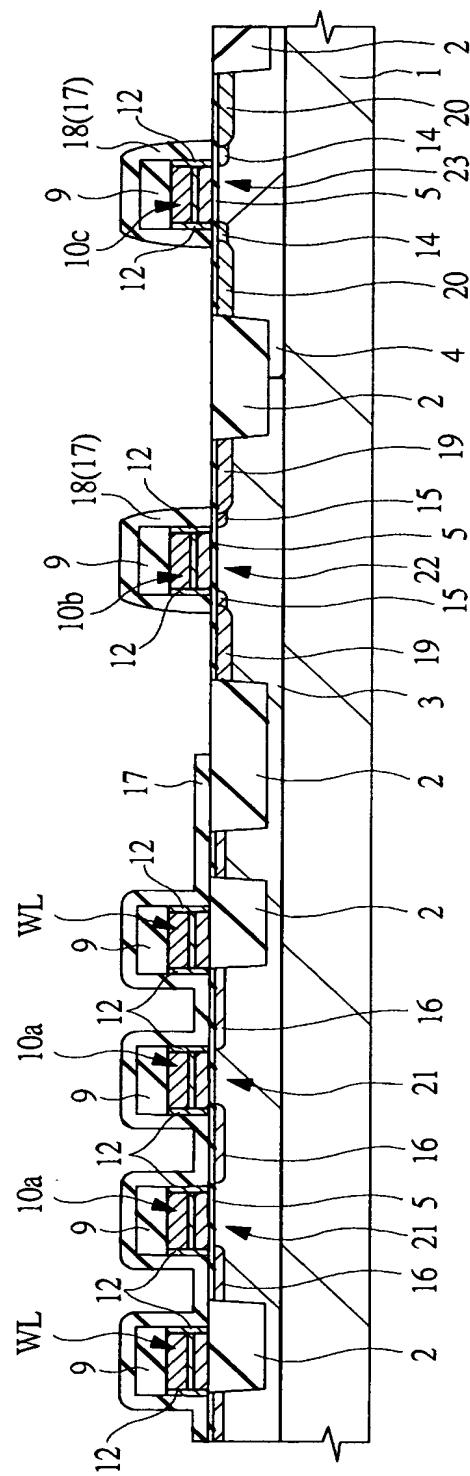


【図7】

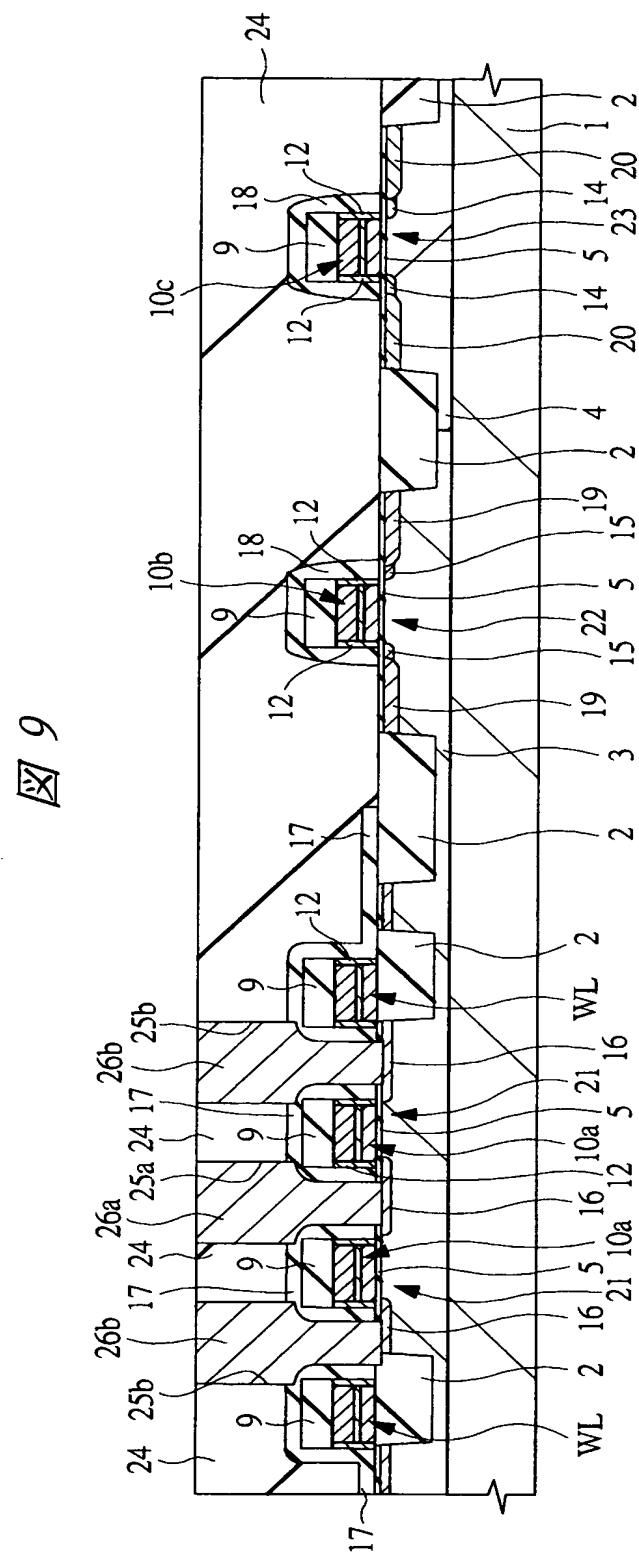


【図 8】

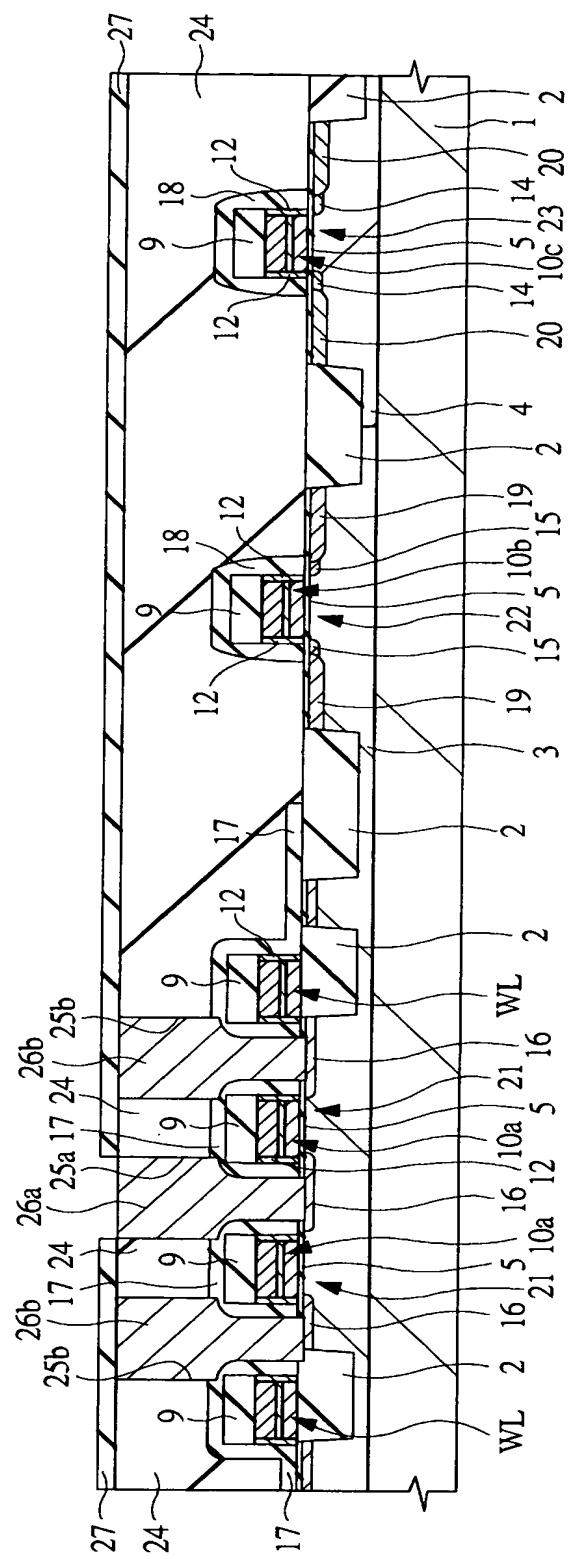
図 8



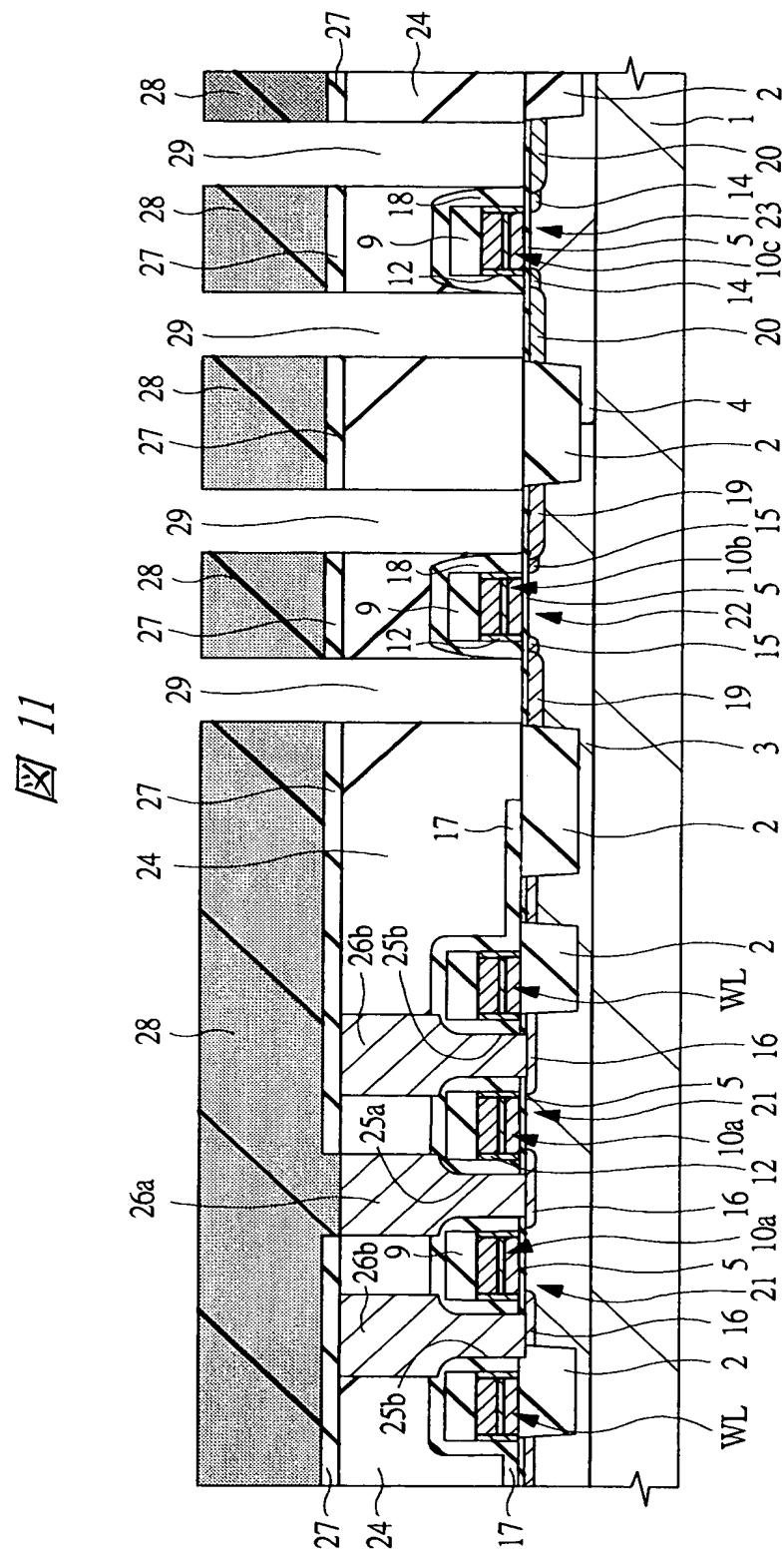
【図9】



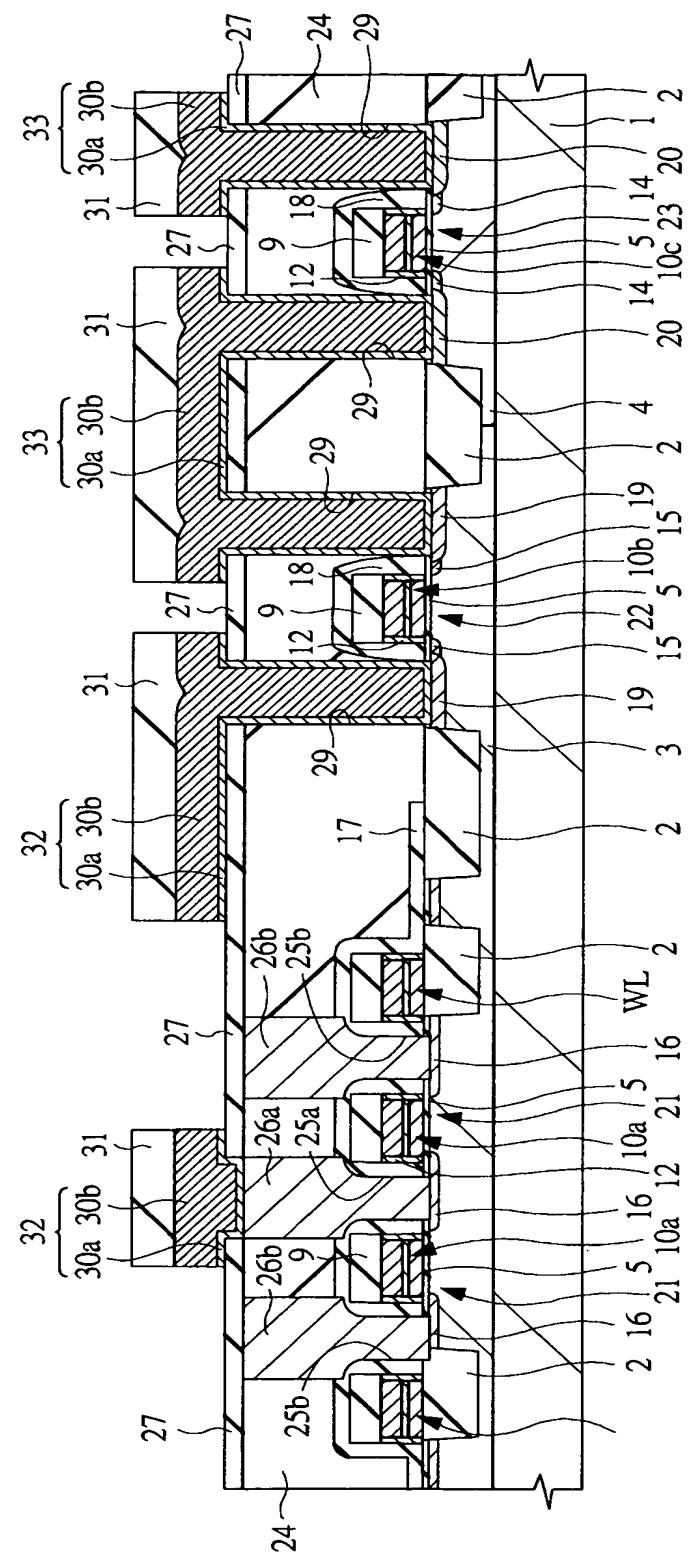
【図10】



【図 11】

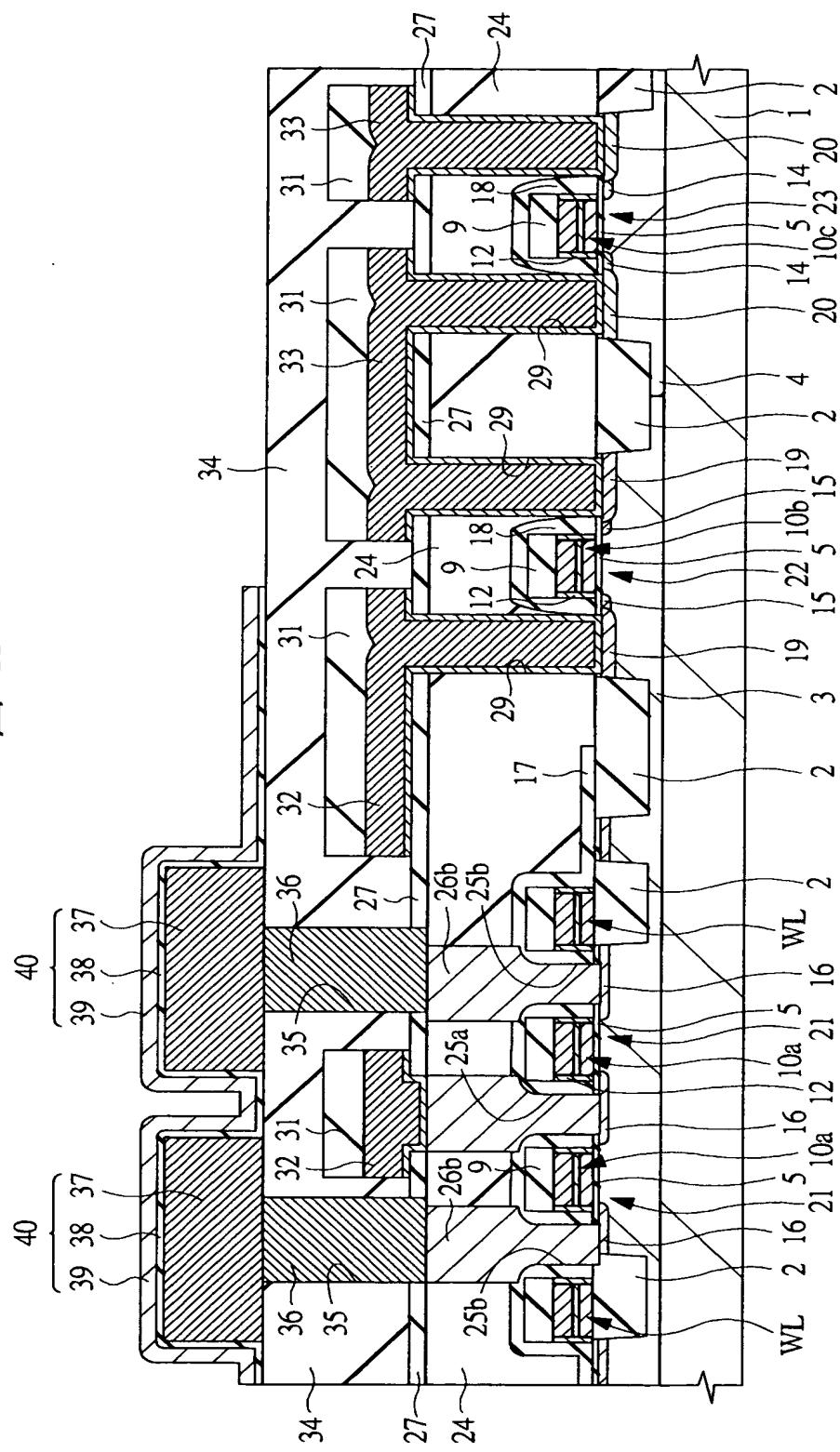


【図12】



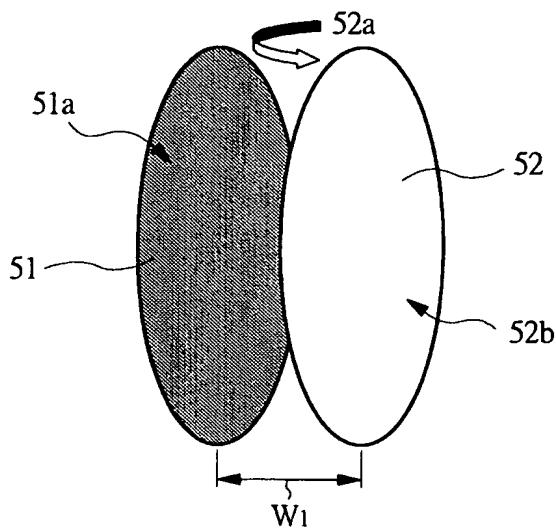
【図13】

図13



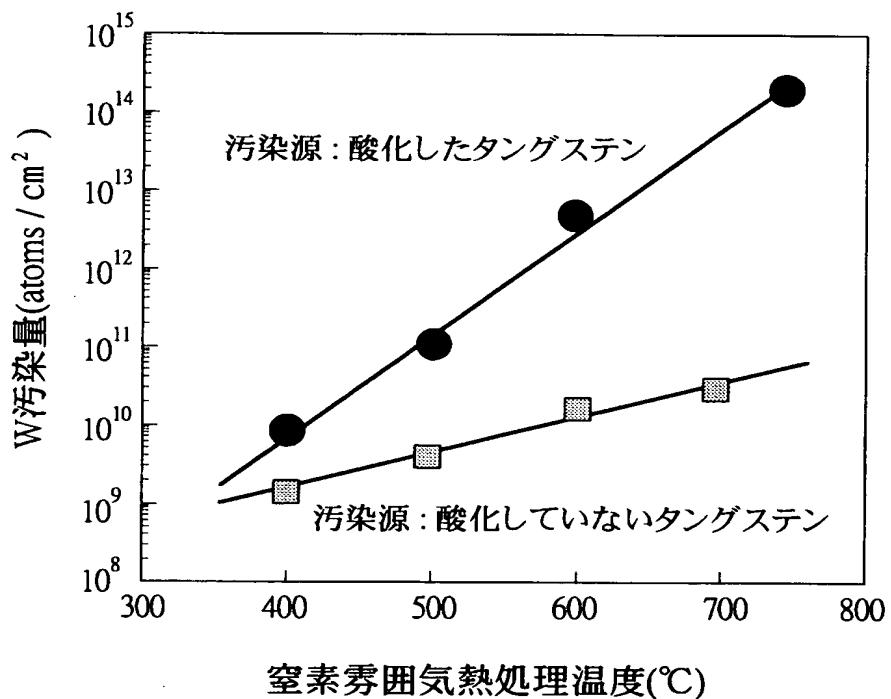
【図14】

図 14



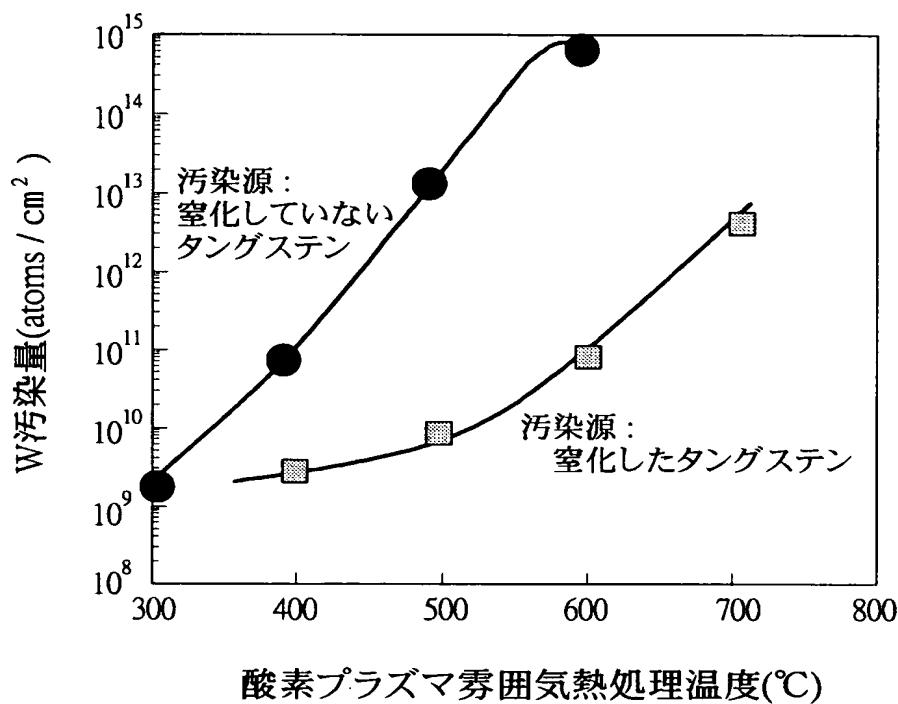
【図15】

図 15



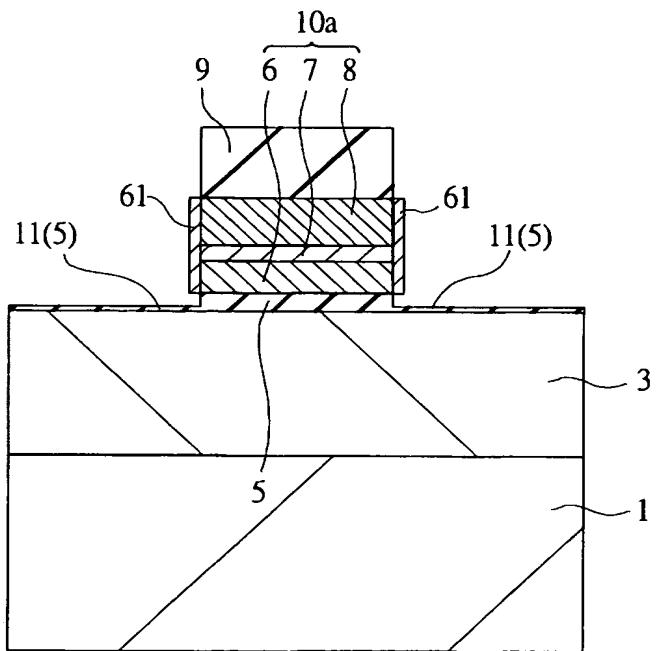
【図16】

図16



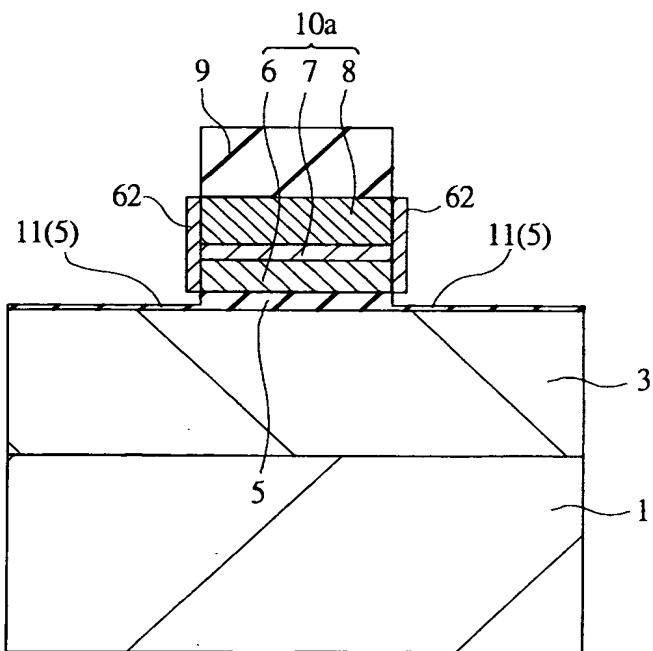
【図17】

図 17

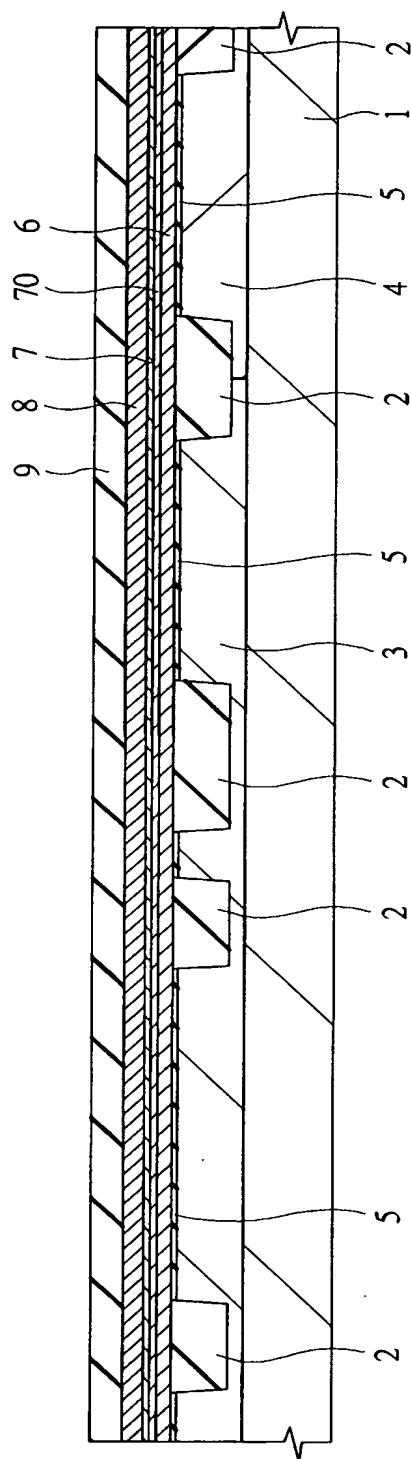


【図18】

図 18

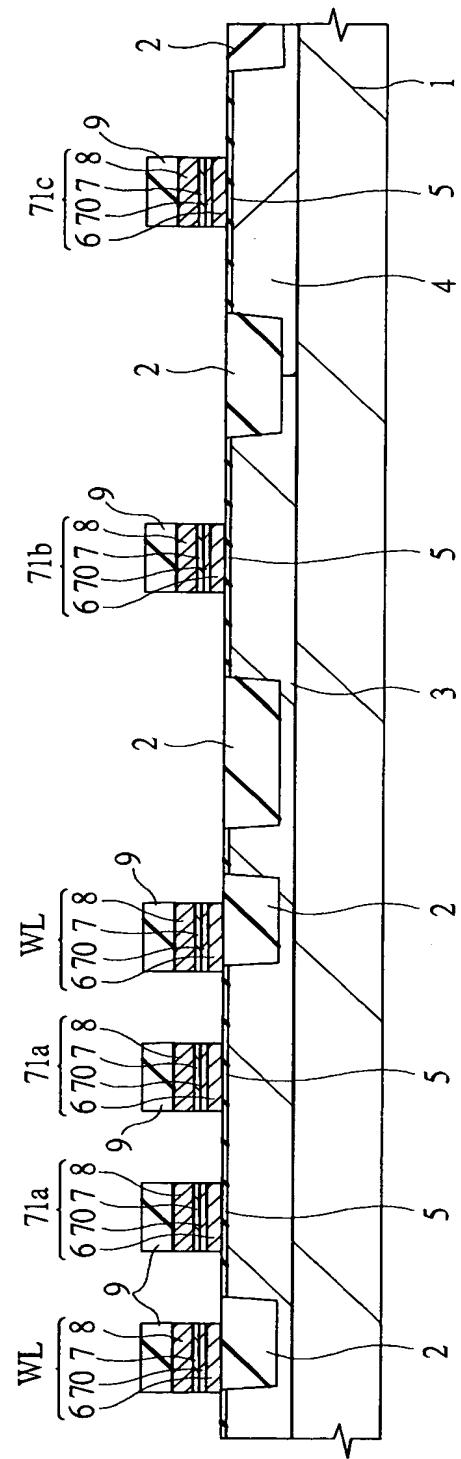


【図19】



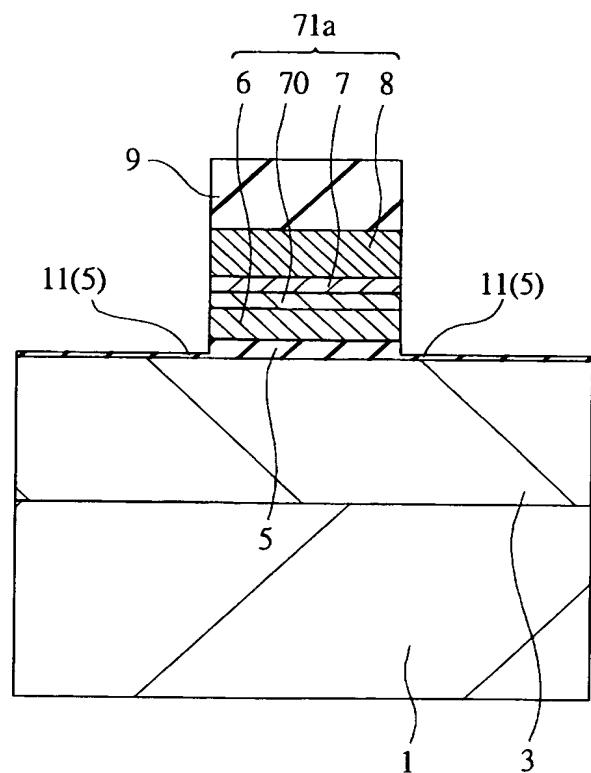
【図20】

図20



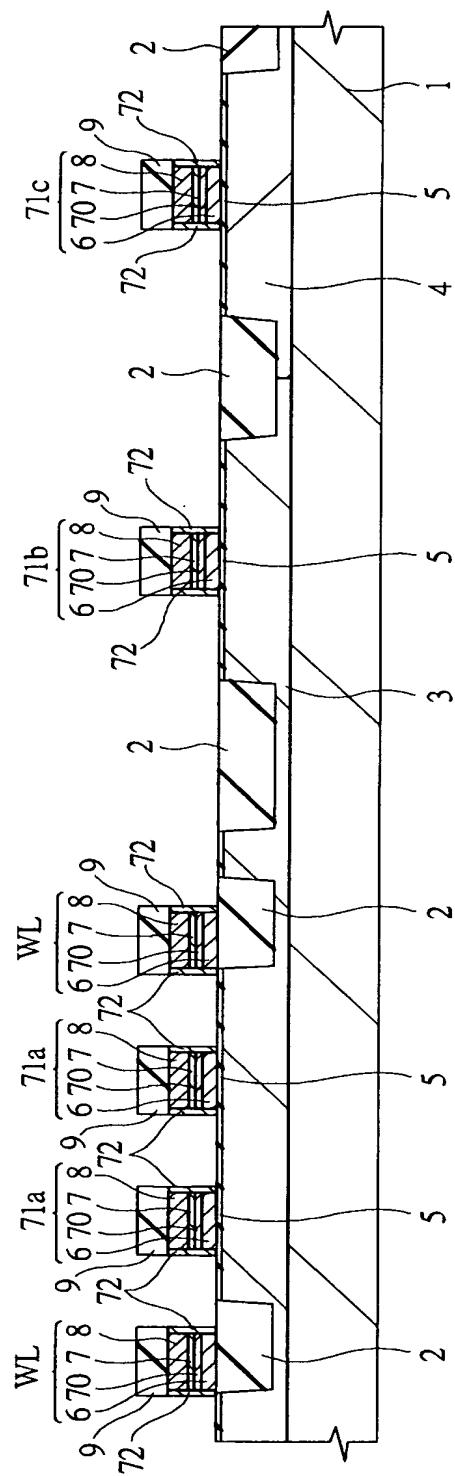
【図21】

図 21



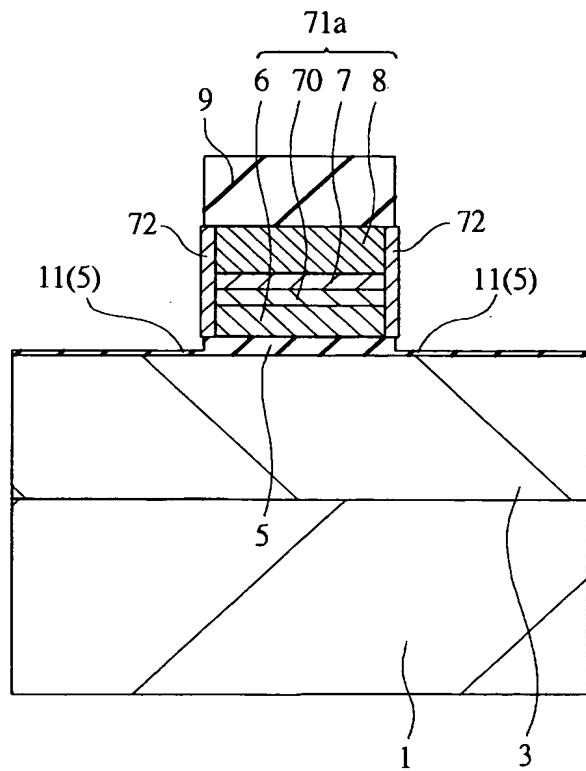
【図22】

図22



【図23】

図23



【書類名】 要約書

【要約】

【課題】 信頼性の高い半導体装置の製造方法を提供する。

【解決手段】 半導体基板1上のゲート絶縁膜5上に、多結晶シリコン膜6、窒化タンゲステン膜7およびタンゲステン膜8を積層してパターニングすることにより、ゲート電極10a, 10b, 10cを形成する。それから、半導体基板1の温度を500℃以下とした状態でアンモニアガスを用いたプラズマ処理を行い、ゲート電極10a, 10b, 10cの側壁を窒化して、窒化物膜12を形成する。その後、半導体基板1の温度を500℃以下とした状態で酸素ガスを用いたプラズマ処理を行い、ゲート電極10a, 10b, 10cの周辺の半導体基板表面部分に存在する酸化シリコン膜の損傷や欠陥を修復する。

【選択図】 図5

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-369422

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第3154542号 平成15年4月11日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平4-71767号 同日提出の出願人名
義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願2002-369422
受付番号	50301194900
書類名	出願人名義変更届（一般承継）
担当官	鈴木 夏生 6890
作成日	平成15年 9月 3日

<認定情報・付加情報>

【提出日】	平成15年 7月18日
-------	-------------

特願 2002-369422

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

特願 2002-369422

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日

[変更理由] 新規登録

住 所 東京都千代田区丸の内二丁目4番1号
氏 名 株式会社ルネサステクノロジ